

整理番号 2926400102

発送番号 161109

発送日 平成15年 5月13日

1 / 5

拒絶理由通知書

特許出願の番号

平成10年 特許願 第291705号

起案日

平成15年 5月 9日

特許庁審査官

▲徳▼田 賢二 3137 5P00

特許出願人代理人

前田 弘(外 1名) 様

適用条文

第29条第2項、第36条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

理由

1. この出願は、発明の詳細な説明の記載が下記の点で、特許法第36条第4項に規定する要件を満たしていない。

記

本願発明は、信号読み出しの為の電源配線と各画素にリセット電位を供給するための電源配線が独立しておらず、直接つながっている為に、信号読み出しの有無によってリセット電位が変化してしまうという課題を解決する為のものであって、その前提として、前記信号読み出しの為の電源配線と各画素にリセット電位を供給する為の電源配線とが直接つながれているという構成が不可欠であると考えられるが、これらのことについて、請求項1乃至14に記載される発明では明確にされておらず、信号読み出しの為の電源配線と各画素にリセット電位を供給する為の電源配線が直接つながれている増幅型固体撮像装置、及び、信号読み出しの為の電源配線と各画素にリセット電位を供給する為の電源配線が独立している増幅型固体撮像装置を包含しているものと認められる。

しかしながら、発明の詳細な説明には、信号読み出しの為の電源配線と各画素にリセット電位を供給する為の電源配線が直接つながれている増幅型固体撮像装置が開示されているのみであって、信号読み出しの為の電源配線と各画素にリセット電位を供給する為の電源配線が独立している増幅型固体撮像装置は開示されていない。

また、信号読み出しの為の電源配線と各画素にリセット電位を供給する為の電源配線とが独立している増幅型固体撮像装置について、本願明細書及び図面には、本願発明が解決しようとする課題、及び、本願発明の目的・作用効果は何ら明らかにされておらず不明である。

よって、この出願の発明の詳細な説明は、当業者が請求項1乃至14に係る発明を実施することができる程度に明確かつ十分に記載されておらず、また、特許法第36条第4項の経済産業省令で定めるところによる記載がされていない。

2. この出願は、特許請求の範囲の記載が下記の点で、特許法第36条第6項第2号に規定する要件を満たしていない。

記

(1) 上記理由1のとおり、請求項1乃至14に記載された発明が発明の詳細な説明に開示されていると認めることができない以上、請求項1乃至14に記載された発明が不明であると言わざるを得ない。

(2) 請求項1において、「任意の画素行に対して前記リセット信号送出手段が前記リセット信号を送出するタイミングは、前記行選択手段が前記読み出し動作のために他の画素行を選択するタイミングと重複している」と記載されているが、「任意の画素行」という記載からは、タイミングが重複するのは、リセット信号を発生する画素行（映像信号を形成する画素行）全てに対してではなく、その中の一部（例えば一行のみ）に対してだけであると考えられることから、請求項1に記載された発明が所期の作用効果を奏し得るとは認められない。

(前記記載を、例えば「前記リセット信号送出手段が前記リセット信号を送出するタイミングでは、必ず前記行選択手段が前記読み出し動作のためにリセット行以外の画素行を選択するタイミングと重複していること」とすれば、当該拒絶理由は解消されるものと考えられる。)

(3) 請求項2の記載からは、リセット信号を送出するタイミングと信号読み出し行を選択するタイミングの関係について何ら示されておらず、リセット信号送出手段が前記リセット信号送出手段によって選択された画素行にリセット信号を送出するタイミングと行選択手段が読み出し行を選択するタイミングとが重複するものであるのかどうか不明であり、したがって、本願発明の効果を得る為の請求項2に記載される発明がどのようなものであるのか、この記載からは明確でない。

(4) 請求項4において、「次のフレームが開始されるまで前記ダミー画素行に對して擬似的な信号読み出し動作を繰り返し実行させるダミー行選択手段」と記載されているが、前記「次のフレームが開始される」とは技術的に如何なる意味

であるのか不明である（「次のフレーム読み出しが開始される」の誤記であると考えられる。）。

また、前記ダミー行選択手段が前記ダミー画素行に対して擬似的な信号読み出し動作を実行するタイミングと、リセット信号送出手段が前記リセット信号送出手段によって選択された画素行にリセット信号を送出するタイミングとの関係がなんら明らかにされておらず不明であり、したがって請求項4に記載される発明が所期の作用効果を奏し得るのかも不明である。

(5) 請求項8、9には、「前記駆動素子」と記載されているが、請求項8、9が引用している請求項1乃至5には「駆動素子」は記載されておらず、「前記駆動素子」とは何を指しているのか不明である。

請求項9の「前記負荷素子」についても同様である。

(6) 請求項11には、「前記m個の画素行のうちの第i行（中略）読み出し動作を行うこと」と記載されているが、前記読み出し動作を行うための構成・手段が何ら明らかにされておらず、よって前記読み出し動作が如何なる構成・手段によって行われるのか不明である。

(7) 請求項11には、具体的な構成としてはm個の画素行と、少なくとも1行のダミー画素行しか明らかにされておらず、いわば発明の前提となるべき構成が著しく不明である。

この点に関しては、請求項12についても同様である。

よって、請求項1乃至14に係る発明は明確でない。

3. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

請求項：1、6乃至10

引用文献：1乃至4

備考：

引用文献1には、増幅手段を有する複数の画素と、電子シャッター動作のため

のリセット信号送出手段と、信号読み出し動作のための行選択手段と、ソースファロワによって前記画素に蓄積された信号情報を読み出すための信号検出回路とを備えた増幅型固体撮像装置が記載されている。

そして、引用文献2乃至4に記載されているように、増幅型固体撮像装置において、信号読み出し行を選択するタイミングと、リセット行をリセットするタイミングとを重複させることは周知であるから、引用文献1に記載された増幅型固体撮像装置において、信号読み出し行を選択するタイミングと、リセット行をリセットするタイミングとを重複させることは、当業者が必要に応じて適宜採用し得ることである。

引 用 文 献 等 一 覧

1. 特開平8-293591号公報
2. 特開平5-316431号公報
3. 特開平5-227489号公報
4. 特開平6-334923号公報

この拒絶理由通知書中で指摘した請求項以外の請求項に係る発明については、現時点では、拒絶の理由を発見しない。拒絶の理由が新たに発見された場合には拒絶の理由が通知される。

先行技術文献調査結果の記録

・調査した分野 I P C 第7版 H 0 4 N 5 / 3 3 5
H 0 1 L 2 7 / 1 4 6

この先行技術文献調査結果の記録は、拒絶理由を構成するものではない。

この拒絶理由通知の内容に関するお問い合わせ、または面接のご希望がございましたら下記までご連絡下さい。

特許審査第四部映像機器 松田 岳士

発送番号 161109
発送日 平成15年 5月13日 5/5

TEL. 03 (3581) 1101 内線3502

FAX. 03 (3501) 0699

(TRANSLATION)

Docket No. 2926400102 Mailing No. 161109

Mailing Date: May 13, 2003

NOTICE OF REASONS OF REJECTION

Patent Application Number: 10-291705 for patent

Drafted Date: May 9, 2003

Examiner: Kenji TOKUDA 3137 5P00

Agent: Hiroshi MAEDA (and other 1 person)

Applied Law: Sections 29(2) and 36

This application is deemed to be rejected for the following reasons. If there is any opinion thereagainst, an Argument should be filed within 60 days from the mailing date of this Notice of Reasons of Rejection.

REASONS

1. The present application does not comply with the requirement under Patent Law Section 36(4) with regard to the recitation in [Detailed Description of the Invention] in the following points.

REMARK

(Omitted)

2. The present application does not comply with the requirement under Patent Law Section 36(6)(ii) with regard to the recitation of Claims in the following points.

REMARK

(Omitted)

3. The inventions according to the below mentioned claims of this application are such as could readily be inferred, on the basis of the inventions disclosed in the publications listed below distributed prior to the filing date of this application in Japan and/or foreign countries, by those who have common knowledge in the technical field to which the invention belongs. Hence, under the provision of Patent Law Section 29(2), it cannot be patented.

REMARKS (See the below citation list about cited references)

- Claim(s): 1 and 6 to 10
- Citation(s): 1 to 4
- Comment: Citation 1 discloses an amplifying solid-state imaging device

comprising a plurality of pixels having amplifying means, reset signal supply means for an electronic shuttering operation, row selecting means for performing a signal readout operation, and a signal detector for reading out signal information which is stored in the pixels by a source follower.

Further, since it is well known to overlap a timing of selecting a signal readout row with a timing of resetting a reset row in an amplifying solid-state imaging device, as shown in Citations 2 to 4, it can be adequately employed by a person skilled in the art according to need to overlap a timing of selecting a signal readout row with a timing of resetting a reset row in an amplifying solid-state imaging device of Citation 1.

CITATION LIST

1. JP 08-293591A
2. JP 05-316431A
3. JP 05-227489A
4. JP 06-334923A

At the present, no reason of rejection is found for the invention drawn to claims other than the above claims specified in the present Notice of Reasons of Rejection. If any reason of rejection is newly found, it will be notified.

Record of Result of Search for Prior Art References

•Searched Field	IPC 7th Edition	H04N	5/335
		H01L	27/146

This Record of Result of Search for Prior Art References does not constitute the reasons of rejections.

If there are any questions relating to the contents of this Notice of Reasons of Rejection, or an interview is desired, please contact to following.

Fourth Examination Division: Picture Apparatus

Examiner: Satoshi MATSUDA

TEL. No. 03-3581-1101 (extension code No. 3502)

FAX No. 03-3501-0699



(19)

(11) Publication number: 08293591 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 08033833

(51) Int'l. Cl.: H01L 27/146 H01L 27/14 H04N 5/335

(22) Application date: 21.02.96

(30) Priority: 24.02.95 JP 07 60034
(43) Date of application publication: 05.11.96
(84) Designated contracting states:

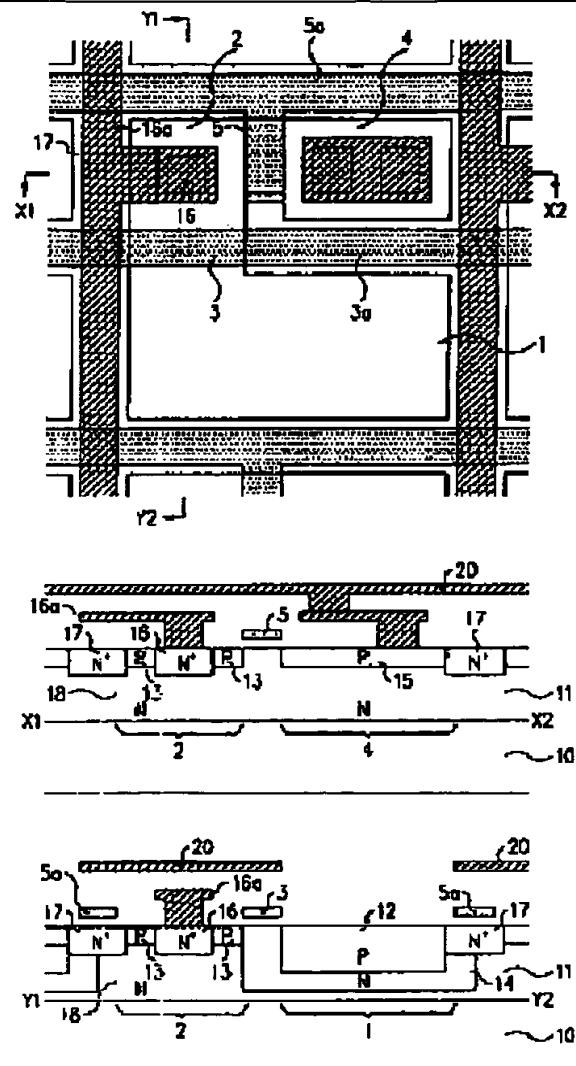
(71) Applicant: NIKON CORP
(72) Inventor: KAMASHITA ATSUSHI
SUZUKI SATOSHI
ISOGAI TADAO
(74) Representative:

(54) PHOTOELECTRIC CONVERSION ELEMENT AND PHOTOELECTRIC CONVERSION DEVICE**(57) Abstract:**

PURPOSE: To obtain a photoelectric conversion element which is capable of carrying out a reset operation without operating an amplifier and a photoelectric conversion device which is high in sensitivity (high S/N ratio) and low in power consumption.

CONSTITUTION: A photoelectric conversion element is equipped with a photodiode 1 which generates charge corresponding to an incident light and stores it, a junction field effect transistor (JFET) 2 which outputs signals corresponding to charge received by its control region, a transfer gate 3 which transfers charge generated and stored in the photodiode 1 to the control region of the JFET 2, a reset drain 4 which discharges charge transferred to the control region of the JFET 2, and a reset gate 5 which controls the reset drain 4, wherein a transfer gate wiring 3a, a reset gate wiring 5a, and a source wiring 16a are also provided.

COPYRIGHT: (C)1996,JPO



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-293591

(43)公開日 平成8年(1996)11月5日

(51)Int.Cl.⁶
H 01 L 27/146
27/14
H 04 N 5/335

識別記号

庁内整理番号

F I

H 01 L 27/14
H 04 N 5/335
H 01 L 27/14

技術表示箇所

A
Z
D

審査請求 未請求 請求項の数20 O L (全23頁)

(21)出願番号 特願平8-33833

(22)出願日 平成8年(1996)2月21日

(31)優先権主張番号 特願平7-60034

(32)優先日 平7(1995)2月24日

(33)優先権主張国 日本 (JP)

(71)出願人 000004112

株式会社ニコン

東京都千代田区丸の内3丁目2番3号

(72)発明者 釜下 敦

東京都千代田区丸の内3丁目2番3号 株式会社ニコン内

(72)発明者 鈴木 智

東京都千代田区丸の内3丁目2番3号 株式会社ニコン内

(72)発明者 磯貝 忠男

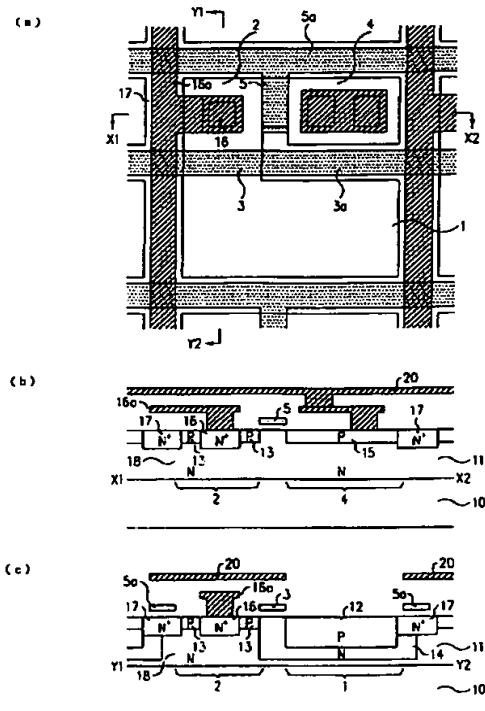
東京都千代田区丸の内3丁目2番3号 株式会社ニコン内

(54)【発明の名称】 光電変換素子及び光電変換装置

(57)【要約】

【課題】 増幅部を動作させることなくリセット動作を行なうことができる光電変換素子及び高感度(高S/N比)で消費電力の少ない光電変換装置を得ることを目的とする。

【解決手段】 光電変換素子は、入射光に応じた電荷を生成して蓄積するフォトダイオード1と、制御領域に受け取った電荷に応じた信号を出力する接合型電界効果トランジスタ(JFET)2と、フォトダイオード1によって生成・蓄積された電荷をJFET2の制御領域へ転送するための転送ゲート3と、JFET2の制御領域へ転送された電荷を排出するためのリセットドレイン4と、リセットドレイン4を制御するためのリセットゲート5とを備えている。また、転送ゲート配線3a、リセットゲート配線5a、及びソース配線16aも、図に示すように形成されている。



【特許請求の範囲】

【請求項1】 入射光に応じた電荷を生成して蓄積する光電変換部と、制御領域を有しこの制御領域で受け取った上記光電変換部からの電荷に応じた信号出力を生じる増幅部と、上記光電変換部で生成、蓄積された電荷を上記増幅部の制御領域に転送する転送制御部と、上記増幅部の制御領域に転送された電荷を排出するリセット用電荷排出手段と、このリセット用電荷排出手段を制御するためのリセット用制御手段とを備えたことを特徴とする光電変換素子。

【請求項2】 増幅部の制御領域を、容量結合によって制御する制御手段をさらに備えたことを特徴とする請求項1記載の光電変換素子。

【請求項3】 増幅部は、電界効果トランジスタからなることを特徴とする請求項1記載の光電変換素子。

【請求項4】 光電変換部、増幅部、転送制御部、リセット用電荷排出手段、リセット用制御手段の各相互領域間に、予め定められた導電型の素子分離領域が形成されていることを特徴とする請求項1記載の光電変換素子。

【請求項5】 リセット用電荷排出手段に接続される金属配線は、増幅部、転送制御部、リセット用電荷排出手段、リセット用制御手段への入射光を遮断する遮光膜によって形成されていることを特徴とする請求項1記載の光電変換素子。

【請求項6】 光電変換部は、縦形オーバーフロー構造のP N接合フォトダイオードであることを特徴とする請求項1記載の光電変換素子。

【請求項7】 光電変換部は、縦形オーバーフロー構造の埋め込みフォトダイオードであることを特徴とする請求項1記載の光電変換素子。

【請求項8】 増幅部は、接合型電界効果トランジスタからなり、この接合型電界効果トランジスタのチャネル形成部は、半導体表面から半導体基板内部に向かって順に、第1導電型ゲート領域、第2導電型チャネル領域、第1導電型半導体基板によって形成されていることを特徴とする請求項1記載の光電変換素子。

【請求項9】 増幅部は、接合型電界効果トランジスタからなり、上記接合型電界効果トランジスタのチャネル形成部は、半導体表面から半導体基板内部に向かって順に、浅い第1導電型ゲート領域、浅い第2導電型チャネル領域、第1導電型ゲート領域、第2導電型ウェル領域、及び第1導電型半導体基板によって形成されていることを特徴とする請求項1記載の光電変換素子。

【請求項10】 増幅部は、接合型電界効果トランジスタからなり、上記接合型電界効果トランジスタのチャネル形成部は、半導体表面から半導体基板内部に向かって順に、浅い第1導電型ゲート領域、浅い第2導電型チャネル領域、第1導電型ゲート領域、第2導電型ウェル領域、及び第1導電型半導体基板によって形成され、上記

浅い第1導電型ゲート領域と上記第1導電型ゲート領域とは、上記チャネル形成部以外の部分で電気的に導通されていることを特徴とする請求項1記載の光電変換素子。

【請求項11】 光電変換部は、縦形オーバーフロー構造の埋め込みフォトダイオードであり、増幅部は、接合型電界効果トランジスタからなり、上記接合型電界効果トランジスタのチャネル形成部は、半導体表面から半導体基板内部に向かって順に、浅い第1導電型ゲート領域、浅い第2導電型チャネル領域、第1導電型ウェル領域、及び第1導電型半導体基板によって形成され、上記浅い第1導電型ゲート領域と上記第1導電型ゲート領域とは、上記チャネル形成部以外の部分で電気的に導通されており、上記第1導電型ゲート領域の不純物濃度と上記埋め込みフォトダイオードの電荷蓄積部の不純物濃度とは異なることを特徴とする請求項1記載の光電変換素子。

【請求項12】 第1導電型ゲート領域の不純物濃度は $6 \times 10^{15} \text{ cm}^{-3} \sim 3 \times 10^{16} \text{ cm}^{-3}$ の範囲であり、埋め込みフォトダイオードの電荷蓄積部の不純物濃度は $5 \times 10^{15} \text{ cm}^{-3} \sim 3 \times 10^{16} \text{ cm}^{-3}$ の範囲であることを特徴とする請求項1記載の光電変換素子。

【請求項13】 増幅部は、MOS型電界効果トランジスタからなり、かつデプレッション型であることを特徴とする請求項1記載の光電変換素子。

【請求項14】 増幅部は、バイポーラトランジスタからなり、このバイポーラトランジスタは、光電変換素子の周りを囲うようにシリコン表層部に形成された予め定められた導電型の高濃度領域をコレクタとしていることを特徴とする請求項1記載の光電変換素子。

【請求項15】 入射光に応じた電荷を生成して蓄積する光電変換部、制御領域を有しこの制御領域で受け取った上記光電変換部からの電荷に応じた信号出力を生じる増幅部、上記光電変換部で生成、蓄積された電荷を上記増幅部の制御領域に転送する転送制御部、上記増幅部の制御領域に転送された電荷を排出するリセット用電荷排出手段、及びこのリセット用電荷排出手段を制御するためのリセット用制御手段を備えた光電変換素子を二次元マトリクス状に配置してなることを特徴とする光電変換装置。

【請求項16】 少なくとも1つの読出し方向に配列された各光電変換素子のリセット用電荷排出手段同士は、互いに並列に配設されていることを特徴とする請求項1記載の光電変換装置。

【請求項17】 垂直走査回路と、パルス駆動源とをさらに備え、全ての光電変換素子における転送制御部の転送用制御手段とリセット用電荷排出手段とが、それぞれ水平読出し方向に共通接続されてパルス駆動のための上記垂直走査回路に接続され、

全ての光電変換素子のリセット用制御手段が、共通に上記パルス駆動源に接続されていることを特徴とする請求項15記載の光電変換装置。

【請求項18】 垂直走査回路と、

パルス駆動源と、

電源とをさらに備え、

全ての光電変換素子における転送制御部の転送用制御手段と増幅部の制御領域を容量結合によって制御する制御手段とが、それぞれ水平読出し方向に共通接続されてパルス駆動のための上記垂直走査回路に接続され、

全ての光電変換素子におけるリセット用制御手段とリセット用電荷排出手段とが、それぞれ共通接続されて、上記リセット用制御手段が上記パルス駆動源に、上記リセット用電荷排出手段が上記電源に接続されていることを特徴とする請求項15記載の光電変換装置。

【請求項19】 垂直走査回路と、

パルス駆動源と、

電源とをさらに備え、

全ての光電変換素子における増幅部の制御領域を容量結合によって制御するための制御手段とリセット用制御手段とが、それぞれ水平読出し方向に共通接続されてパルス駆動のための上記垂直走査回路に接続され、

全ての光電変換素子における転送制御部の転送用制御手段とリセット用電荷排出手段とがそれぞれ共通接続されて、上記転送用制御手段が上記パルス駆動源に、上記リセット用電荷排出手段が上記電源に接続されていることを特徴とする請求項15記載の光電変換装置。

【請求項20】 各光電変換素子を水平読出し方向に共通駆動する垂直走査回路と、

垂直走査に応じて上記増幅部の制御領域が初期化された直後の1水平ライン分の信号出力を記憶する第1の記憶手段と、

垂直走査に応じて上記増幅部の制御領域へ上記電荷を転送した直後の1水平ライン分の信号出力を記憶する第2の記憶手段とをさらに備えたことを特徴とする請求項15記載の光電変換装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、光電変換素子及び光電変換装置、特に、増幅部を動作させることなくリセット動作を行なうことができる光電変換素子及びリセット動作が高速な光電変換装置に関するものである。

【0002】

【従来の技術】 従来より光電変換装置（固体撮像装置等を含む）の感度を高めるために提案されているトランジスタを利用した増幅型の光電変換素子には、MOS型（通常は、デプレッション型）、バイポーラ型、接合型電界効果トランジスタ（JFET型）などがある。そして、これらの光電変換素子では、光電変換素子の構成要素の一部であるMOSダイオード（MOS型）やPN接

合ダイオード（バイポーラ型、JFET型）への入射光を、入射光に応じた電荷に光電変換して蓄積し、蓄積した電荷に応じた信号を增幅（電流増幅あるいは電荷増幅）して、出力している。

【0003】 上記のような光電変換素子には、光電変換動作、增幅動作、初期化動作等の全ての動作を1つのトランジスタによって行う光電変換素子（即ち、光電変換素子を1つのトランジスタによって構成した光電変換素子）があるが、この光電変換素子には、2つの大きな問題点がある。なお、ここで、初期化動作とは、トランジスタの制御領域の電位をある基準値に設定する動作、又は制御領域を完全に空乏化する動作をいう。また、トランジスタの制御領域とは、電流を制御する領域をいい、例えばJFETではゲート拡散領域、バイポーラトランジスタではベース拡散領域をいう。

【0004】 先ず、第1の問題点としては、光電変換部のノイズが大きくなってしまう点である。例えば、MOS型の場合、通常ポリシリコンをゲート電極としたMOSダイオードで光電変換を行うが、その際に、シリコン表面側が空乏化するため、その表面で発生する大きな暗電流の影響をまともに受けてしまい、ノイズが大きくなってしまうのである。また、ポリシリコンは光の透過率が低いため、光の利用効率（量子効率）が悪いという問題点もあった。

【0005】 PN接合ダイオードで光電変換を行うバイポーラ型や、JFET型の場合でも、上記トランジスタの構成要素の一部を利用するという制約から、CCD型撮像素子等で好適に使われている埋め込みフォトダイオードのような理想的なダイオード構造が実現できない

（即ち、バイポーラ型、JFET型の場合には、PN接合部から発生する空乏層が表面に達してしまう）ため、暗電流の影響を受けてしまい、ノイズが大きくなってしまうのである。

【0006】 また、通常これらのPN接合ダイオードは、容量結合による過渡的でかなり深い順方向バイアス駆動によって、生成して蓄積した電荷を再結合させてリセット動作を行うが、このようなリセット方法では、リセットノイズや残像が発生してしまうという問題点が生じる。

【0007】 さらに、生成して蓄積した電荷をリセットする時、およびブルーミング（にじみ）抑圧動作をする時にもトランジスタが動作（オン）するため、光電変換素子を構成するトランジスタ自身に大電流が流れ、これにより過渡的にトランジスタのバイアス点（動作点）が大きく変動して増幅率が変わるとする問題点があった。そして、このような光電変換素子を多数並べて、例えば光電変換装置を構成した場合には、光電変換素子毎の出力にばらつきが生じ、装置の性能（例えば、S/N比）が低下したり、多数個配列しているため消費電力が大きくなってしまうという問題点もあった。

【0008】次に、第2の問題点としては、感度をあまり高くすることができない点である。そもそも、上記各種(MOS型、バイポーラ型、JFET型)のトランジスタ(光電変換素子)は、光電変換によって生成された電荷をフローティング状態の制御領域に蓄積することによって生ずる電位変化を利用して、電流増幅又は電荷増幅を行っている。つまり、デプレッション型のMOS型トランジスタであればゲート電極下のシリコンの表面電位の変化、バイポーラ型ではベース領域、JFET型ではゲート領域の電位変化を利用して増幅した出力を得ている。

【0009】従って、高い感度を得るためにには、この電位変化量(蓄積電荷量/容量)を大きくすることが必要であり、そのためには制御領域の容量はできるだけ小さい方が良い。しかしながら、入射光の利用効率を高め、電荷量を増加させるためには、光電変換部の面積(受光開口率)を大きくしなければならない。しかし、全ての動作(光電変換動作、増幅動作、初期化動作等)を1つのトランジスタで行う光電変換素子においては、制御領域が光電変換部そのものであるため、開口率を大きくすれば容量も大きくなってしまい、結果的に感度をあまり高くすることができなかつた。

【0010】また、他方において、光電変換部と増幅トランジスタとを分離し、光電変換部で生成・蓄積された電荷を転送制御部の転送ゲートを介してトランジスタの制御領域に転送し、電流増幅あるいは電荷増幅することにより出力を得る光電変換素子が提唱されている。例えば、特開平5-235317号公報(米国特許出願第261,135号に対応)、特開平5-275670号公報には、それぞれ、デプレッション型MOSトランジスタやJFETを増幅部として、これにフォトダイオードと転送制御部(転送ゲート)を組み合わせた光電変換素子が開示されている。

【0011】このように光電変換部と増幅トランジスタとを分離し転送ゲートを備えた光電変換素子においては、光電変換部に埋め込みフォトダイオードを使用することによって、量子効率が高く、残像、暗電流、リセットノイズなどが発生しない光電変換素子を実現することができる。

【0012】また、光電変換部に縦型オーバーフロー構造の埋め込みフォトダイオードを使用した場合は、フォトダイオードがブルーミング抑圧機能を有するため、増幅トランジスタによるブルーミング抑圧動作が不要となり、例えば光電変換装置を構成しても、消費電力の増加やバイアス点(動作点)の変動に伴う光電変換素子毎の出力にばらつきが生じるという問題点が解決される。

【0013】さらに、光電変換部と増幅トランジスタとが分離しているため、増幅機能のみを考慮して、トランジスタの構造及びサイズの最適化が可能となる。従つて、制御領域の容量を小さくして、高い感度を確保する

ことができる。加えて、トランジスタ自身から生ずる暗電流、残像、リセットノイズ等の新たな問題については、これらの光電変換素子をマトリクス状に並べた光電変換装置の構成や駆動方法でかなり効果的に除去することができる。

【0014】このように、光電変換部と増幅トランジスタとを分離し転送ゲートを備えた光電変換素子においては、トランジスタによって全ての動作(光電変換動作、増幅動作、初期化動作等)を行う光電変換素子に比べて、かなり低ノイズ化、高感度化することが可能になっている。

【0015】

【発明が解決しようとする課題】しかしながら、上記従来の光電変換素子(光電変換部と増幅トランジスタとを分離し転送ゲートを備えた光電変換素子)においては、1つのトランジスタによって全ての動作を行うもう一方の従来の光電変換素子とリセット動作については何ら変わっていないという問題点があった。

【0016】即ち、トランジスタの制御領域を初期化をするためにリセット動作を行った場合、従来の光電変換素子(光電変換部と増幅トランジスタとを分離し転送ゲートを備えた光電変換素子)では、やはり、増幅トランジスタ自身も同時に動作(オン)してしまうという問題点があった。

【0017】この結果、増幅トランジスタに大電流が流れ、これにより過渡的に増幅トランジスタのバイアス点(動作点)が大きく変動して増幅率が変わり、この光電変換素子を多数並べて、例えば光電変換装置を構成した場合には、光電変換素子毎の出力にばらつきが生じ、装置の性能(例えば、S/N比)が低下したり、多数個配列しているため消費電力が大きくなってしまうという問題点があった。

【0018】本発明は、上記課題を鑑みて成されたものであり、増幅部を動作させることなく、リセット動作を行うことができる光電変換素子を得ることを目的とする。また、本発明の別の目的は、固定パターンノイズの発生を抑制することができる光電変換素子を得ることである。

【0019】さらに、本発明の別の目的は、開口率や集積度を向上させることができる光電変換素子を得ることである。また、本発明の別の目的は、斜め入射光によるブルーミング等のにじみの現象を抑制することができる光電変換素子を得ることである。

【0020】また、本発明の別の目的は、暗電流や残像、リセットノイズを抑制した理想的な特性を得ることができる光電変換素子を得ることである。また、本発明の別の目的は、感度を高くすることができる光電変換素子を得ることである。

【0021】本発明は、上記課題を鑑みてなされたものであり、装置の性能(例えば、S/N比)が低下した

り、消費電力が増大したりすることを抑制することができる光電変換装置を得ることを目的とする。また、本発明の別の目的は、リセット動作が高速な光電変換装置を得ることである。さらに、本発明の別の目的は、電荷成分のみに応じた信号出力を得ることができる光電変換装置を得ることである。

【0022】

【課題を解決するための手段】本発明のうち請求項1記載の発明は、入射光に応じた電荷を生成して蓄積する光電変換部と、制御領域を有しこの制御領域で受け取った上記光電変換部からの電荷に応じた信号出力を生じる増幅部と、上記光電変換部で生成、蓄積された電荷を上記増幅部の制御領域に転送する転送制御部と、上記増幅部の制御領域に転送された電荷を排出するリセット用電荷排出手段と、このリセット用電荷排出手段を制御するためのリセット用制御手段とを備えたことを特徴とする光電変換素子である。

【0023】ここで、光電変換部は、入射光に応じた電荷を生成して蓄積する。増幅部は、制御領域で受け取った上記電荷に応じて信号出力を生じる。転送制御部は、上記光電変換部で生成・蓄積された電荷を上記増幅部の制御領域へ転送する。リセット用電荷排出手段は、上記増幅部の制御領域へ転送された電荷を排出する。リセット用制御手段は、上記リセット用電荷排出手段を制御する。

【0024】つまり、従来の光電変換素子では、増幅部の制御領域を初期化（制御領域に残留する電荷（信号電荷）を除去）するためにリセット動作を行った場合、増幅部自身も動作（オン）していたため、例えば、増幅部自身に大電流が流れ、これにより過渡的に増幅部のバイアス点（動作点）が大きく変動して増幅率が変わるという問題点が発生していた。

【0025】そこで、本発明においては、増幅部の制御領域を初期化するためのリセット用電荷排出手段とリセット用制御手段とを増幅部とは別個独立に設けることにより、リセット動作時において増幅部が動作しないようになる。従って、従来の光電変換素子のように、リセット動作によって、増幅部自身に大電流が流れ、これに伴って過渡的に増幅部のバイアス点（動作点）が大きく変動して増幅率が変わるという問題点が解消される。

【0026】なお、一般的に、上記増幅部には、増幅部の制御領域を容量結合によって制御するための制御手段が備えられる場合が多い。しかし、この制御手段を備えない場合には、この制御手段への配線が不要となり、製造が容易になるとともに、制御手段を備えない分だけ、増幅部の制御領域の容量を小さくすることができ、感度を高くすることが可能となる。

【0027】請求項2記載の発明は、請求項1記載の光電変換素子に、増幅部の制御領域を容量結合によって制御する制御手段をさらに備えたものである。即ち、光電

変換素子の増幅部には、該増幅部の制御領域を容量結合によって制御するための制御手段が備えられる場合が多い。従って、上記制御手段を備えた光電変換素子でも、増幅部の制御領域を初期化するためのリセット用電荷排出手段とリセット用制御手段とを増幅部とは別個独立に設けることにより、リセット動作時において増幅部が動作しないようになる。従って、従来の光電変換素子のように、リセット動作によって、増幅部自身に大電流が流れ、これにより過渡的に増幅部のバイアス点（動作点）が大きく変動して増幅率が変わるという問題点が解消される。

【0028】請求項3記載の発明は、請求項1記載の光電変換素子における増幅部を、電界効果トランジスタ（FET）によって構成するものである。即ち、上記増幅部は、信号（電荷）破壊に基づく固定パターンノイズの発生を抑制するものによって構成することが好ましい。このためには、上記光電変換部によって生成・蓄積された電荷（信号電荷）を非破壊で増幅する電界効果トランジスタ（FET）によって構成することが好ましい。

【0029】請求項4記載の発明は、請求項1記載の光電変換素子における光電変換部、増幅部、転送制御部、リセット用電荷排出手段、リセット用制御手段の各相互領域間に、予め定められた導電型の素子分離領域を形成したものである。つまり、上記光電変換部、増幅部、転送制御部、リセット用電荷排出手段、リセット用制御手段の各相互領域の間隙は、一般的に、開口率や集積度の観点からできるだけ小さくすることが望まれているが、光電変換素子の製造工程においては、ドーパント（不純物）の所謂サイド拡散の影響を受けるため、各相互領域の間隙を小さくすることが困難である。

【0030】従って、上記光電変換部、増幅部、転送制御部、リセット用電荷排出手段、リセット用制御手段の各相互領域間に、予め定められた導電型の素子分離領域を形成し、上記各相互領域の間隙をできるだけ小さくすることにより、開口率や集積度を向上させることができになる。

【0031】請求項5記載の発明は、請求項1記載の光電変換素子におけるリセット用電荷排出手段に接続される金属配線を、上記増幅部、転送制御部、リセット用電荷排出手段、リセット用制御手段への入射光を遮断する遮光膜によって形成したものである。つまり、金属配線が遮光膜を兼用する。従って、入射光を遮断するための遮光膜を形成する必要がなくなり、光電変換素子全体の厚みを薄くすることが可能になって集積度を向上させることができになるとともに、上記光電変換部近傍に上記金属配線兼遮光膜を配設することが可能になり、斜め入射光によるブルーミング等のにじみの現象を抑制することが可能になる。

【0032】請求項6記載の発明は、請求項1の光電変

換素子における光電変換部を、縦形オーバーフロー構造のPN接合フォトダイオードによって構成したものである。即ち、増幅部とは別個独立のリセット用電荷排出手段とリセット用制御手段とを設けた光電変換素子においても、光電変換部を縦形オーバーフロー構造のPN接合フォトダイオードによって構成することが可能であり、光電変換部を縦形オーバーフロー構造のPN接合フォトダイオードで構成することによって、ブルーミングやスマニア等のにじみ現象を抑制することが可能になる。

【0033】請求項7記載の発明は、請求項1記載の光電変換素子における光電変換部を、縦形オーバーフロー構造の埋め込みフォトダイオードによって構成したものである。即ち、増幅部とは別個独立のリセット用電荷排出手段とリセット用制御手段とを設けた光電変換素子においても、光電変換部を縦形オーバーフロー構造の埋め込みフォトダイオードによって構成することが可能であり、光電変換部を縦形オーバーフロー構造の埋め込みフォトダイオードによって構成することによって、ブルーミングやスマニア等のにじみ現象のほか、暗電流や残像、リセットノイズを抑制した理想的な特性を得ることが可能になる。

【0034】請求項8記載の発明は、請求項1記載の光電変換素子における増幅部を、接合型電界効果トランジスタ(JFET)によって構成し、上記接合型電界効果トランジスタのチャネル形成部を、半導体表面から半導体基板内部に向かって順に、第1導電型ゲート領域、第2導電型チャネル領域、第1導電型半導体基板によって形成したものである。

【0035】即ち、光電変換素子の増幅部としては、接合型電界効果トランジスタ(JFET)によって構成してもよく、この接合型電界効果トランジスタ(JFET)のチャネル形成部を半導体表面から半導体基板内部に向かって順に、第1導電型ゲート領域、第2導電型チャネル領域、第1導電型半導体基板としてもよい。従って、電荷(信号電荷)を增幅時には、第1導電型ゲート領域及び第2導電型チャネル領域を介して上記電荷(信号電荷)が増幅される。

【0036】請求項9記載の発明は、請求項1記載の光電変換素子における増幅部を、接合型電界効果トランジスタ(JFET)によって構成し、上記接合型電界効果トランジスタ(JFET)のチャネル形成部は、半導体表面から半導体基板内部に向かって順に、浅い第1導電型ゲート領域、浅い第2導電型チャネル領域、第1導電型ゲート領域、第2導電型ウェル領域、第1導電型半導体基板によって形成したものである。

【0037】即ち、光電変換素子の増幅部としては、接合型電界効果トランジスタ(JFET)によって構成してもよく、この接合型電界効果トランジスタ(JFET)のチャネル形成部を半導体表面から半導体基板内部に向かって順に、浅い第1導電型ゲート領域、浅い第2

10

導電型チャネル領域、第1導電型ゲート領域、第2導電型ウェル領域、第1導電型半導体基板によって形成されている。

【0038】つまり、浅い第1導電型ゲート領域と深い第2導電型チャネル領域によってチャネル形成部分がシャロー化(浅接合化)して、この接合型電界効果トランジスタ全体を縮小化するとともに、第1導電型ゲート領域と第1導電型半導体基板との間隙に第2導電型ウェル領域を介在させることによって、上記第1導電型ゲート領域と第1導電型半導体基板とが電気的に分離される。

【0039】従って、シャロー化により相互コンダクタンスが向上し、また縮小化した分だけ集積度や開口率が向上するとともに、感度を高くすることが可能になる。また、接合型電界効果トランジスタ(JFET)のゲート(制御領域)と半導体基板とを電気的に分離することにより基板電圧の影響(基板バイアス効果)を抑えて、電流増幅動作時の増幅率や、ソースフォロワ動作時の電荷増幅率を向上することが可能になる。

20

【0040】請求項10記載の発明は、請求項1記載の光電変換素子における増幅部を、接合型電界効果トランジスタ(JFET)によって構成し、上記接合型電界効果トランジスタ(JFET)のチャネル形成部は、半導体表面から半導体基板内部に向かって順に、浅い第1導電型ゲート領域、浅い第2導電型チャネル領域、第1導電型ゲート領域、第2導電型ウェル領域、第1導電型半導体基板によって形成され、上記浅い第1導電型ゲート領域と上記第1導電型ゲート領域とは、チャネル形成部以外の部分で電気的に導通されている。

【0041】即ち、光電変換素子の増幅部としては、接合型電界効果トランジスタ(JFET)によって構成してもよく、この接合型電界効果トランジスタ(JFET)のチャネル形成部を半導体表面から半導体基板内部に向かって順に、浅い第1導電型ゲート領域、浅い第2導電型チャネル領域、第1導電型ゲート領域、第2導電型ウェル領域、第1導電型半導体基板によって形成され、上記浅い第1導電型ゲート領域と上記第1導電型ゲート領域とは、チャネル形成部以外の部分で電気的に導通されている。

30

【0042】従って、シャロー化により相互コンダクタンスが向上し、また縮小化した分だけ集積度や開口率が向上するとともに、感度を高くすることが可能になる。また、上記浅い第1導電型ゲート領域と第1導電型ゲート領域とを導通し、接合型電界効果トランジスタ(JFET)のゲート(制御領域)と半導体基板とを電気的に分離することにより基板電圧の影響(基板バイアス効果)を大幅に抑えて、電流増幅動作時の増幅率や、ソースフォロワ動作時の電荷増幅率を向上することが可能となる。

40

【0043】請求項11記載の発明は、請求項1記載の光電変換素子における光電変換部を縦形オーバーフロー

構造の埋め込みフォトダイオードとし、増幅部を、接合型電界効果トランジスタとし、上記接合型電界効果トランジスタのチャネル形成部は、半導体表面から半導体基板内部に向かって順に、浅い第1導電型ゲート領域、浅い第2導電型チャネル領域、第1導電型ゲート領域、第2導電型ウェル領域、及び第1導電型半導体基板によって形成され、上記浅い第1導電型ゲート領域と上記第1導電型ゲート領域とは、チャネル形成部以外の部分で電気的に導通されており、上記第1導電型ゲート領域の不純物濃度と上記埋め込みフォトダイオードの電荷蓄積部の不純物濃度とは異なることを特徴とする。これによって、埋め込みフォトダイオードと接合型電界効果トランジスタとを好適な条件で動作させることができとなる。

【0044】請求項12記載の発明は、請求項11記載の光電変換素子における第1導電型ゲート領域の不純物濃度を $6 \times 10^{15} \text{ cm}^{-3}$ ～ $3 \times 10^{16} \text{ cm}^{-3}$ の範囲とし、埋め込みフォトダイオードの電荷蓄積部の不純物濃度は $5 \times 10^{15} \text{ cm}^{-3}$ ～ $3 \times 10^{16} \text{ cm}^{-3}$ の範囲とする。これによって、埋め込みフォトダイオードと接合型電界効果トランジスタとを最適な条件で動作させることができとなる。

【0045】請求項13記載の発明は、請求項1記載の光電変換素子における増幅部を、デプレッション型のMOS型電界効果トランジスタによって構成したものである。従って、信号（電荷）破壊に基づく固定パターンノイズの発生を抑制することができる。また、MOS型電界効果トランジスタは制御領域のリセット動作時にリセットノイズや残像が発生しないため、電子シャッターワーク動作を可能とする光電変換素子を構成する場合に好適である。

【0046】請求項14記載の発明は、請求項1記載の光電変換素子における増幅部を、バイポーラトランジスタによって構成し、このバイポーラトランジスタは、埋め込みコレクタ又は予め定められた導電型の高濃度基板を用いたコレクタを形成することなく、光電変換素子の周りを囲うようにシリコン表層部に形成された予め定められた導電型の高濃度領域をコレクタとしている。従って、バイポーラトランジスタと縦形オーバーフロー構造のフォトダイオードの組合せが可能となり、ブルーミングやスミア等の偽信号を抑制することができる。

【0047】請求項15記載の発明は、入射光に応じた電荷を生成して蓄積する光電変換部、制御領域を有しこの制御領域で受け取った上記光電変換部からの電荷に応じた信号出力を生じる増幅部、上記光電変換部で生成、蓄積された電荷を上記増幅部の制御領域に転送する転送制御部、上記増幅部の制御領域に転送された電荷を排出するリセット用電荷排出手段、及びこのリセット用電荷排出手段を制御するためのリセット用制御手段を備えた光電変換素子を二次元マトリクス状に配置してなることを特徴とする光電変換装置である。

【0048】請求項16記載の発明は、請求項15記載の光電変換装置において、少なくとも1つの方向、例えば水平読出し方向に配列された各光電変換素子のリセット用電荷排出手段同士が、互いに並列に配設されていることを特徴とする。つまり、水平読出し方向に配列された各光電変換素子のリセット用電荷排出手段同士を互いに並列に配設することによって、光電変換素子の単位画素内において、必ず増幅部とリセット部とが対応することとなり、極めて短時間で増幅部の制御領域をリセット部の電位に初期化することが可能になる。即ち、リセット動作を高速にすることが可能となる。

【0049】請求項17記載の発明は、請求項15記載の光電変換装置に、垂直走査回路と、パルス駆動源とをさらに備え、全ての光電変換素子における転送制御部の転送用制御手段とリセット用電荷排出手段とが、それぞれ水平読出し方向に共通接続されてパルス駆動のための上記垂直走査回路に接続され、全ての光電変換素子のリセット用制御手段が、共通に上記パルス駆動源に接続されていることを特徴とする。

【0050】つまり、上記のように構成された光電変換装置においては、先ず、垂直走査回路によってある特定の水平ライン（選択行）のリセット用電荷排出手段にハイレベルの電圧が印加され、他の水平ライン（非選択行）のリセット用電荷排出手段にはローレベルの電圧が印加される。次いで、全てのリセット用制御手段にパルス駆動源より駆動パルスが印加される。

【0051】この結果、選択行の光電変換素子に備えられた増幅部の制御領域がハイレベルの電圧に、非選択行の光電変換素子に備えられた増幅部の制御領域はローレベルの電圧に初期化される。このように、増幅部の制御領域の初期化動作をリセット用電荷排出手段とリセット用制御手段とによって行うことにより、従来の光電変換装置のように、増幅部の制御領域を順方向バイアス駆動して電荷（信号電荷）を再結合するリセット動作を行う必要がない。

【0052】従って、増幅部に大電流が流れ、光電変換素子を多数個並べて光電変換装置を構成した場合、過渡的に増幅部のバイアス点（動作点）が大きく変動して増幅率が変わり、各光電変換素子毎の出力にばらつきが生じ、装置の性能（例えば、S/N比）が低下したり、消費電力が大きくなってしまうという問題点を解消することができる。

【0053】なお、増幅部の制御領域が初期化された後は、垂直走査回路から送出される駆動パルスが上記光電変換素子に備えられた転送用制御手段に印加される。この結果、上記光電変換素子に備えられた光電変換部で生成・蓄積された電荷（信号電荷）が、上記光電変換部から上記増幅部の制御領域へ転送され、該増幅部において電荷（信号電荷）の増幅動作が行われる。

【0054】請求項18記載の発明は、請求項15記載

の光電変換装置に、垂直走査回路と、パルス駆動源と、電源とをさらに備え、全ての光電変換素子における転送制御部の転送用制御手段と増幅部の制御領域を容量結合によって制御する制御手段とが、それぞれ水平読出し方向に共通接続されてパルス駆動のための上記垂直走査回路に接続され、全ての光電変換素子におけるリセット用制御手段とリセット用電荷排出手段とが、それぞれ共通接続されて、上記リセット用制御手段が上記パルス駆動源に、上記リセット用電荷排出手段が上記電源に接続されていることを特徴とする。

【0055】つまり、本発明の特徴を従来の最も一般的な光電変換装置の構成に適用した場合には、上記の構成となる。即ち、本発明の特徴は、増幅部を動作させることなく、増幅部の制御領域を初期化するために、上記増幅部に対して独立別個のリセット用電荷排出手段とリセット用制御手段を設け、さらに、リセット動作の高速化を図るため、水平読出し方向に配列された各光電変換素子の上記リセット用電荷排出手段同士を互いに並列に配設している点である。従って、上記のような構成にすることによって、従来の光電変換装置の構成をほとんど変えることなく、光電変換装置を製造することが可能となる。従って、容易に製造することが可能となる。

【0056】また、上記のように構成された光電変換装置においては、リセット用電荷排出手段は、電源から固定的に電圧が供給されるようになっており、供給された電圧を増幅部の制御領域へ供給する。また、リセット用制御手段は、パルス駆動源から送出される駆動パルスに応じて動作（オン、オフ）する。ここで、上記リセット用制御手段の動作（オン、オフ）は、リセット用電荷排出手段から増幅部の制御領域へ供給される電圧を制御する。

【0057】即ち、リセット用制御手段の動作（オン、オフ）に応じて、リセット用電荷排出手段から増幅部の制御領域に電圧が供給されるのである。そして、増幅部の制御領域に供給された電圧によって、増幅部の制御領域がリセット用電荷排出手段の電位と同電位にされ、増幅部の制御領域が初期化される。

【0058】従って、増幅部の初期化動作時に、増幅部が動作（オン）しないため、増幅部に大電流が流れ、これにより過渡的に増幅部のバイアス点（動作点）が大きく変動して増幅率が変わり、各光電変換素子毎の出力にばらつきが生じ、装置の性能（例えば、S/N比）が低下したり、光電変換素子を多数個配列しているため消費電力が大きくなってしまうという問題点を解消することが可能になる。なお、本発明の構成は、容量結合による制御手段を用いて、行の選択、非選択動作を可能とするものである。

【0059】請求項19記載の発明は、請求項15記載の光電変換装置に、垂直走査回路と、パルス駆動源と、電源とをさらに備え、全ての光電変換素子における増幅

部の制御領域を容量結合によって制御するための制御手段とリセット用制御手段とが、それぞれ水平読出し方向に共通接続されてパルス駆動のための上記垂直走査回路に接続され、全ての光電変換素子における転送部の転送用制御手段とリセット用電荷排出手段とがそれぞれ共通接続されて、上記転送用制御手段が上記パルス駆動源に、上記リセット用電荷排出手段が上記電源に接続されていることを特徴とする。

【0060】つまり、パルス駆動源から送出される駆動パルスが上記転送部の転送用制御手段に印加されると、光電変換部において生成・蓄積された電荷（信号電荷）が増幅部の制御領域へ全画素同時に転送される。そして、垂直走査回路から送出される駆動パルスが上記増幅部の制御領域を容量結合によって制御するための制御手段に印加されると、上記増幅部は増幅動作を行い、該増幅部から増幅された信号出力を生じる。

【0061】また、リセット用制御手段は、垂直走査回路から送出される駆動パルスに応じて動作（オン、オフ）し、この動作に応じてリセット用電荷排出手段に接続された電源からの電圧が上記増幅部の制御領域へ供給され、リセット用電荷排出手段の電位と同電位にされて、増幅部の制御領域が初期化される。

【0062】従って、増幅部が動作（オン）することなく、増幅部の制御領域をリセットすることが可能となり、装置の性能（例えば、S/N比）が低下したり、光電変換素子を多数個配列しているため消費電力が大きくなるということを抑制することが可能になる。なお、本発明の構成は、画面内同時性の成り立つ電子シャッター動作を可能とするものである。

【0063】請求項20記載の発明は、請求項15記載の光電変換装置に、各光電変換素子を水平読出し方向に共通駆動する垂直走査回路と、垂直走査に応じて上記増幅部の制御領域が初期化された直後の1水平ライン分の信号出力を記憶する第1の記憶手段と、垂直走査に応じて上記増幅部の制御領域へ上記電荷を転送した直後の1水平ライン分の信号出力を記憶する第2の記憶手段とをさらに備えたものである。

【0064】つまり、上記増幅部の制御領域が初期化された直後の信号出力には、ノイズ成分が混入しており、又、上記光電変換部によって生成・蓄積された電荷（信号電荷）を増幅部の制御領域へ転送した直後の信号出力には、電荷成分とノイズ成分とが混入している。従って、上記増幅部の制御領域が初期化された直後の信号出力と上記光電変換部によって生成・蓄積された電荷（信号電荷）を増幅部の制御領域へ転送した直後の信号出力とを分けて、それぞれの信号出力の差を取ることにより、電荷成分のみに応じた信号出力を得ることが可能になる。

【0065】

【発明の実施の形態】以下、本発明の実施の形態を添付

図面を参照して説明する。なお、各図中、同一符号は同一又は相当部分を示し、重複する説明は省略する。

【0066】[実施形態1] 図1は、本発明の実施形態1による光電変換素子を示す概略構成図であり、図1

(a) は光電変換素子を示す概略構成平面図、図1

(b) は図1 (a) のX1-X2線に沿った断面図、図1 (c) は図1 (a) のY1-Y2線に沿った断面図である。なお、図1 (a) においては、アルミニウム膜20の図示を省略しており、以下に示す図2 (a) 、図3 (a) 、図7 (a) 、図10 (a) 、図13 (a) 及び図14 (a) においても同様にアルミニウム膜20の図示を省略する。

【0067】これらの図において、実施形態1による光電変換素子は、入射光に応じた電荷を生成して蓄積するフォトダイオード(光電変換部、PD)1と、制御領域に受け取った電荷に応じた信号を出力する接合型電界効果トランジスタ((增幅部)：以下、JFETとする)2と、フォトダイオード1によって生成・蓄積された電荷をJFET2の制御領域へ転送するための転送ゲート

(転送制御部の転送用制御手段、TG)3と、JFET2の制御領域へ転送された電荷を排出するためのリセットドレイン(リセット用電荷排出手段、RD)4と、リセットドレイン4を制御するためのリセットゲート(リセット用制御手段、RG)5とから主に構成されている。その他、転送ゲート配線3a、リセットゲート配線5a及びソース配線16aも、図に示すように形成されている。

【0068】即ち、P型シリコン基板10上にチャネル領域となるN型シリコン層11をエピタキシャル成長によって形成し、このN型シリコン層11中に、例えばボロン(B⁺)やリン(P⁺)をイオン注入あるいは熱拡散法等によってP型フォトダイオード領域12やP型ゲート領域13及びリセットドレイン4等を形成する。さらに、絶縁層(図示せず)を介してリソグラフィー手法等によって転送ゲート3やリセットゲート5を形成してフォトダイオード1やJFET2が形成される。なお、フォトダイオード1のNウェル領域14(N-Well)は、PN接合で発生するキャリアのオーバーフロー・ボテンシャルを所定の値にコントロールするために形成したものである。

【0069】転送ゲート3は、フォトダイオード1のP型フォトダイオード領域12とJFET2のP型ゲート領域13とともにPチャネルMOSトランジスタ(MOSFET；図1 (a)、(c) 参照)を構成している。また、リセットゲート5も、リセットドレイン4のP型リセットドレイン領域15とJFET2のP型ゲート領域13とともにPチャネルMOSFET(図1 (a)、(b) 参照)を構成している。

【0070】フォトダイオード1は、シリコン層表面からP型シリコン基板10に向かって順に、P型フォトダ

イオード領域12、N型シリコン層11(Nウェル領域14を含む)、P型シリコン基板10を含み、いわゆるPNP型の縦型オーバーフロー構造を形成している。従って、発生するキャリア(この実施形態1では正孔)によるブルーミングやスミア等のにじみの現象を抑制することができる。

【0071】JFET2は、N⁺型ソース領域16、N⁺型ドレイン領域17、P型ゲート領域13、及びN型チャネル領域18(Nチャネル)より構成されている。これらは、シリコン層表面からP型シリコン基板10に向かって順に、P型ゲート領域13、N型チャネル領域18、P型シリコン基板10のPNP型構造となるように構成されている。この結果、本来バックゲートの機能を有するN型チャネル領域18下部のP領域(この実施形態1ではP型シリコン基板10)は、一定の電源に接続されることになる。なお、シリコン層表面からP型シリコン基板10の表面までの厚さ(高さ)は、約6μmである。

【0072】リセットゲート5とリセットドレイン4は、リセットゲート5にパルス電圧を加えることによって、JFET2の制御領域(この実施形態1ではP型ゲート領域13)をリセットドレイン4の電位に初期化する。従って、従来の光電変換素子のように、初期化動作時にJFET2が動作(オン)することがなくなるため、これらの素子を多数個配列して、例えば光電変換装置を構成した場合でも、大電流が流れてトランジスタのバイアス点(動作点)が大きく変動し、JFET2の増幅率が異なることによって生じていた光電変換素子毎の出力のばらつきが生じることがなくなる。また、消費電力も低下する。

【0073】なお、図1 (a) では図示していないが、図1 (b)、(c) から判るように、リセットドレイン4への配線(メタル配線、この実施形態1ではアルミニウム(A1)膜20)は、フォトダイオード1以外の部分を遮光するための遮光膜も兼用する。このアルミニウム膜20は、他の金属の膜でも良く、金属膜をスパッタリング法によりデポジットさせることにより作製することができる。

【0074】従って、遮光専用の膜をさらに上部に設けた素子に比べ、素子全体の厚み(高さ)を抑制することができ、集積度やフォトダイオード1に対する開口率を向上させることができるとともに、フォトダイオード1近傍にこの金属配線(アルミニウム膜20)を配設する構造となるため、斜め入射光によるブルーミングやスミア等のにじみの現象を抑制することができる。

【0075】[実施形態2] 図2は、本発明の実施形態2による光電変換素子を示す概略構成図であり、図2 (a) は光電変換素子を示す概略構成平面図、図2 (b) は図2 (a) のX1-X2線に沿った断面図、図2 (c) は図2 (a) のY1-Y2線に沿った断面図で

ある。この実施形態2と実施形態1との相違は、光電変換素子のフォトダイオードとJ F E T 2の構造が異なっている点である。

【0076】即ち、実施形態2における光電変換素子のフォトダイオード1は、第1に、シリコン層表面からP型シリコン基板10に向かって、NPNP型の縦型オーバーフロー構造の埋め込みフォトダイオード(NPN)によって埋め込みフォトダイオードが構成され、PNPによってオーバーフロー構造が構成される)を形成している点が、実施形態1における光電変換素子のフォトダイオード1と異なっている。

【0077】従って、溢れ出るキャリアを吸収するオーバーフロー構造によって、ブルーミング、スミア等のにじみの現象を抑制することができるとともに、埋め込みフォトダイオードによってPN接合部に生じる空乏層が表面に達しないため、暗電流が抑制される。また、電荷が転送された後にフォトダイオードに電荷が残らない(完全空乏化になる)ため、残像、リセットノイズを抑えた理想的な特性を得ることができる。

【0078】さらに、実施形態1においてフォトダイオード1の周囲のみに形成されていたNウェル(N-We11)領域14を、P型シリコン基板10上の全面に渡って形成している点も異なっている。一般的に、縦型オーバーフロー構造のフォトダイオードは、内部量子効率を高く保つため、PN接合をシリコン層表面からP型シリコン基板10側に向かってできるだけ深く形成することが望ましい。

【0079】従って、Nウェル領域14はP型シリコン基板10側に向かってさらに深く形成することになるが、この時、Nウェル領域14は横方向(P型シリコン基板10に向かう方向と直交する方向)にも拡散(サイド拡散)するため、このサイド拡散を考慮した設計が必要となる。この実施形態2では、P型シリコン基板10上の全面に渡ってNウェル領域14を形成し、このNウェル領域14中にJ F E T 2を形成する構造としたことにより、Nウェル領域14のサイド拡散の影響を防止し、集積度や開口率を向上することができる。

【0080】この実施形態2における光電変換素子のJ F E T 2は、先ず第1に、全体的(特にチャネル部分)にシャロー化(浅接合化)した点が実施形態1におけるJ F E T 2の構成と異なっている。增幅動作のみを行うJ F E T 2をシャロー化することは、シャロー化した分だけJ F E T 2全体の大きさ(サイズ)が小さくなり、光電変換素子全体の集積度やフォトダイオード1の開口率を向上することができる。

【0081】加えて、增幅部としての特性、つまり相互コンダクタンス(g_m)の向上や、飽和特性の改善(飽和領域のドレン電圧依存性の低減)を図ることもできる。相互コンダクタンス(g_m)の向上は、例えばJ F E T 2を電流増幅に使用する場合に重要であることは勿

論、ソースフォロワ動作させた場合(つまり、容量負荷で電荷増幅させた場合)でも時定数の低減(スピードアップ)あるいは感度の向上を図ることができる。

【0082】実施形態2による光電変換素子のJ F E T 2は、第2に、チャネル(Nチャネル)の上下にP型ゲート領域13(図2(b)参照、浅い第1導電型ゲート領域13a及び第1導電型ゲート領域13b)を形成し、チャネルの形成されていない部分でこれらの浅い第1導電型ゲート領域13a及び第1導電型ゲート領域13bを電気的に導通させている。さらに、このP型ゲート領域13とP型シリコン基板10をNウェル領域14によって電気的に分離した点が実施形態1によるJ F E T 2と異なっている。この結果、光電変換素子自身の特性に与える基板電圧の影響(基板バイアス効果)を大幅に低減することができる。

【0083】さらに、先に述べたドレン電圧依存性の低減と基板バイアス効果の低減は、例えば光電変換装置を構成して、J F E T 2をソースフォロワ動作させた場合、光電変換装置に配設された各画素の感度の向上及び感度のばらつき(例えば、固定パターンノイズ)を抑制することに大きな効果を奏する。このように、実施形態2による光電変換素子のJ F E T 2は、実施形態1による光電変換素子に比べて集積度や開口率が向上するとともに、感度が高く、感度のばらつきを抑制することができる。

【0084】【実施形態3】図3は、本発明の実施形態3による光電変換素子を示す概略構成図であり、図3

(a)は光電変換素子を示す概略構成平面図、図3(b)は図3(a)のX1-X2線に沿った断面図、図3(c)は図3(a)のY1-Y2線に沿った断面図である。この実施形態3による光電変換素子は、フォトダイオード1、J F E T 2、リセットドレンイン4の各周囲領域(転送ゲート3、リセットゲート5が形成される領域を含む)に、予め定められた導電型(この実施形態3ではN型)の素子分離領域21を形成した点が上記両実施形態と異なっている。

【0085】通常、フォトダイオード1、J F E T 2、リセットドレンイン4の各P型領域は、それぞれNウェル領域14中に形成されているため、このNウェル領域14によってそれぞれ電気的に分離されている。一般的に、Nウェル領域14による分離は、集積度や開口率の向上の観点から分離幅をできるだけ小さくすることが望ましい。

【0086】ところが、フォトダイオード1、J F E T 2、リセットドレンイン4の各P型領域は、光電変換素子の性能上あまり浅く(シリコン表面から基板側に向かって浅く)形成することができない。特に、フォトダイオード1については、量子効率の観点から、逆にシリコン表面から基板側に向かって深く形成することが望ましい。従って、横方向(基板に向かう方向と直交する方

向)への広がり(サイド拡散)も大きくなり、分離幅の縮小が行いにくいのが実情である。

【0087】そこで、この実施形態3においては、N型の素子分離領域21を形成することによって、上記各P型領域のサイド拡散を抑え、分離幅の縮小化を図り、光電変換素子全体の集積度やフォトダイオード1の開口率を向上させるとともに、転送ゲート3及びリセットゲート5のしきい値電圧制御を容易にすることができます。

【0088】【実施形態4】図4は、本発明の実施形態4による光電変換素子を示す要部概略断面図である。図4は、図2(c)又は図3(c)の一部分を示しているものであり、従って実施形態4は実施形態2又は3の図でも説明可能である。この実施形態におけるフォトダイオードは、図4に示すように、縦型オーバーフロー構造の埋め込みフォトダイオード(BPD)1である。従って、ここで用いられるP型拡散層12は、次の条件を満たす必要がある。なお、シリコン層表面には、SiO₂膜11aが形成されている。

(1) 過剰な光生成電荷が基板にオーバーフローすること。

(2) 信号読み出し時に光生成電荷がJFET2に完全転送され、BPD1のP型拡散が完全空乏化すること。

【0089】一方、JFET2に用いられているP型拡散は、次の条件を満たす必要がある。

(1) BPD1から転送されてきた電荷が基板にオーバーフローしないこと。

(2) JFET2のソースN⁺拡散とNウェル領域14がパンチスルーしないこと。(3) JFET2として動作させるバイアス条件で空乏化しないこと。これらの条件を同時に満たすためには、BPD1とJFET2におけるP型拡散領域の濃度を別々に異なる値となるように設定した方が最適化し易い。

【0090】従って、本実施形態における光電変換素子では、BPD1のP型拡散領域である電荷蓄積部12の不純物濃度を $5 \times 10^{15} \text{ cm}^{-3}$ ~ $3 \times 10^{16} \text{ cm}^{-3}$ の範囲とし、かつ、JFET2のP型拡散領域である第1導電型ゲート領域13bの不純物濃度を $6 \times 10^{15} \text{ cm}^{-3}$ ~ $3 \times 10^{16} \text{ cm}^{-3}$ の範囲とするとともに、これらの不純物濃度を異なる値に設定する。ここで、これらの不純物濃度は、ボロンやリン等のイオン注入における注入条件例えは注入量や拡散時間を変更することにより調整することができる。

【0091】【実施形態5】図5は、上記各実施形態1~4(図1~図4)において示した光電変換素子を二次元マトリクス状に配置した実施形態5による光電変換装置の概略構成を示す模式回路図である。また、図6は、図5に示す模式回路図の動作を説明するためのパルスタイミングチャートである。なお、以下に示す光電変換装置では、図1において示した光電変換素子を用いた場合を例にして説明するが、図2~図4において示した光電

10

20

30

40

50

変換素子を用いても同様である。

【0092】図5に示すように、各画素31は、入射光に応じて電荷を生成して蓄積するフォトダイオード1、制御領域で受け取った電荷に応じた信号出力を生じるJFET2、及びフォトダイオード1で生成・蓄積された電荷をJFET2の制御領域へ転送するための転送ゲート3を備えた転送制御素子(Pチャネル型MOSFET)31aと、JFET2の制御領域へ転送された電荷を排出するためのリセット用電荷排出手段であるリセットドレイン4、及びこのリセットドレイン4を制御するためのリセット用制御手段であるリセットゲート5を備えたリセット素子(Pチャネル型MOSFET)31bとから構成されている。

【0093】各JFET2のソースは、マトリクス配置の各列毎に垂直ソースライン32a、32b、32cに共通に接続されている。また、各JFET2のドレイン及びフォトダイオード1のカソード側には、図示しない配線又は拡散層によって全画素共通にドレイン電源31cが接続されている。さらに、各フォトダイオード1のアノード側及びJFET2の制御領域は、それぞれ転送制御素子31aのソース又はドレインに接続されている。

【0094】転送制御素子31aの転送ゲート(転送ゲート電極)3は、マトリクス配置の各行毎に垂直走査回路34によって走査されるクロックライン33a、33b、33cに共通接続されている。垂直走査回路34から送出される駆動パルス ϕ_{TG1} ~ ϕ_{TG3} が印加されると、転送制御素子31aが各行毎に順次動作するようになっている。

【0095】リセット素子31bは、各画素31毎に設けられており、リセットドレイン4は各行毎に互いに並列に配設され、マトリクス配置の各行毎に垂直走査回路34によって走査されるクロックライン50a、50b、50cに共通接続されている。また、リセットゲート(リセットゲート電極)5は、行ライン37aを介して駆動パルス発生回路37に全画素共通接続されている。また、リセット素子31bのソースは、転送制御素子31aのドレインと共有になっている。そして、リセットゲート(リセットゲート電極)5に駆動パルス発生回路37から送出される駆動パルス ϕ_{RG} が印加されると、このリセット素子31bが動作するようになっている。

【0096】垂直ソースライン32a、32b、32cは、一方において、各列毎に光信号出力転送用MOSトランジスタT_{S1}、T_{S2}、T_{S3}及び暗出力転送用MOSトランジスタT_{D1}、T_{D2}、T_{D3}を介して光信号出力蓄積用コンデンサ(第2の記憶素子)C_{S1}、C_{S2}、C_{S3}及び暗出力蓄積用コンデンサ(第1の記憶素子)C_{D1}、C_{D2}、C_{D3}の一方の電極に接続されるとともに、水平読み出し選択用MOSトランジスタT_{HS1}、T_{HS2}、T_{HS3}、T_{HD1}、

T_{HD2} , T_{HD3} を各々経て信号出力線38及び暗出力線39に接続されている。なお、一般的に、これら信号出力線38及び暗出力線39には、寄生容量 C_{HS} , C_{HD} が存在する。また、これら信号出力線38及び暗出力線39の一方にはバッファアンプ38a, 39aが接続されている。

【0097】また、信号出力線38及び暗出力線39は、他方において、送出される映像信号をリセットするための水平読出しリセット用MOSトランジスタ

T_{RHS} , T_{RHD} のドレインが接続されており、またこの水平読出しリセット用MOSトランジスタ T_{RHS} , T_{RHD} のソースは、上記光信号出力蓄積用コンデンサ C_{S1} , C_{S2} , C_{S3} 及び暗出力蓄積用コンデンサ C_{D1} , C_{D2} , C_{D3} の他方の電極と接続しつつ、接地(GND)されている。そして、この水平読出しリセット用MOSトランジスタ T_{RHS} , T_{RHD} のゲート電極に、駆動パルス発生回路43から送出される駆動パルス ϕ_{RH} が印加されると、水平読出しリセット用MOSトランジスタ T_{RHS} , T_{RHD} が動作するようになっている。

【0098】上記水平読出し選択用MOSトランジスタ T_{HS1} , T_{HS2} , T_{HS3} , T_{HD1} , T_{HD2} , T_{HD3} の各々のゲート電極には、水平走査回路40に接続された水平選択信号ライン40a, 40b, 40cが各列毎に共通接続され、水平走査回路40から送出される駆動パルス ϕ_{H1} ～ ϕ_{H3} によって水平読出しが制御されるようになっている。

【0099】上記光信号出力転送用MOSトランジスタ T_{S1} , T_{S2} , T_{S3} の各ゲート電極は光信号用クロックライン41aを介して、また上記暗出力転送用MOSトランジスタ T_{D1} , T_{D2} , T_{D3} の各ゲート電極は暗出力用クロックライン42aを介して、それぞれ駆動パルス発生回路41及び42に接続され、駆動パルス発生回路41及び42から送出されるそれぞれの駆動パルス ϕ_{TS} あるいは ϕ_{TD} が印加されると、これら光信号出力転送用MOSトランジスタ T_{S1} , T_{S2} , T_{S3} 及び暗出力転送用MOSトランジスタ T_{D1} , T_{D2} , T_{D3} が各々予め定められた順序で交互に動作するようになっている。

【0100】上記垂直ソースライン32a, 32b, 32cは、他方において、各列毎にリセット用トランジスタ T_{RV1} , T_{RV2} , T_{RV3} のドレインと、ソースフォロワ読み出し用定電流源44a, 44b, 44cに接続されている。また、各リセット用トランジスタ T_{RV1} , T_{RV2} , T_{RV3} のソースには電源電圧 V_{RV} が供給され、ソースフォロワ読み出し用定電流源44a, 44b, 44cには電源電圧 V_{CS} が供給されている。

【0101】なお、リセット用トランジスタ T_{RV1} , T_{RV2} , T_{RV3} のゲート電極にはリセットパルス ϕ_{RV} が供給され、このリセットパルス ϕ_{RV} がハイレベルになると、リセット用トランジスタ T_{RV1} , T_{RV2} , T_{RV3} が導通して垂直ソースライン32a, 32b, 32cを接地状態

10

20

30

40

50

($V_{RV}=GND$ の時) にすることができるようになっている。

【0102】また、ソースフォロワ読み出し用定電流源44a, 44b, 44cは、ソースフォロワ動作の時定期数を制御すると同時に、各画素31ごとのバイアス点の変動等による時定期数ばらつきを抑えて、ゲインを揃え、固定パターンノイズ(以下、FPNとする)を抑えるようになっている。

【0103】次に、図6に示すパルスタイミングチャートを参照しながら、本発明の実施形態5による光電変換装置の動作について説明する。なお、図6において、 t_{11} ～ t_{15} までの期間は、第1行目の画素31の読み出し動作を示しており、以下 t_{21} ～ t_{25} および t_{31} ～ t_{35} の期間は、それぞれ第2行目、第3行目に対応している。また、 t_{11} ～ t_{14} のそれぞれは、 t_{11} がJFET2の初期化動作、 t_{12} が初期化後の第1行目のJFET2のソースフォロワ動作、 t_{13} が第1行目のフォトダイオード1からJFET2への信号電荷の転送動作、 t_{14} が転送後のJFET2のソースフォロワ動作に対応した期間で、この4つの動作は水平ブランкиング期間内に行われる。また、 t_{15} は映像信号出力期間である。

【0104】先ず、図6に示すように、期間 t_{11} の最初で、駆動パルス ϕ_{RD1} をハイレベル(駆動パルス ϕ_{RD2} と ϕ_{RD3} はローレベルのまま)にして、第1行目の画素31のリセットドレイン4に電圧駆動パルスを印加する。そして、既にローレベルで導通状態(オン)とされている全ての画素31のリセットゲート5を経由して、ハイレベルの電圧が第1行目の画素31のJFET2の制御領域に、ローレベルの電圧が第2行目以後の画素31のJFET2の制御領域に伝わり、これらのJFET2の制御領域が初期化(電荷が排出)されるとともに、第1行目の各JFET2は選択(オン)され、第2行目以後の各JFET2は非選択(オフ)とされる。

【0105】即ち、リセットドレイン4に電圧駆動パルス(ϕ_{RD1} , ϕ_{RD2} , ϕ_{RD3})が送出された行によって、JFET2の選択(オン)・非選択(オフ)がなされるとともに、選択された行のJFET2の制御領域がハイレベルの電位に、非選択行のJFET2の制御領域がローレベルの電位に初期化される。

【0106】そして、期間 t_{11} の終わり(期間 t_{12} の最初)において、駆動パルス ϕ_{RG} をハイレベルにして、リセットゲート5を非導通状態(オフ)にすることによって、各JFET2の制御領域は、選択(オン)・非選択(オフ)状態を保持したまま、フローティング状態とされる。

【0107】同時に(期間 t_{12} の最初で)、駆動パルス ϕ_{RV} をローレベルにして、リセット用トランジスタ T_{RV1} ～ T_{RV3} を遮断状態(オフ)にして、この期間 t_{12} 中において、第1行目の各JFET2がソースフォロワ動作を行う。なお、この期間 t_{12} 中において、駆動パルス

ϕ_{TD} はハイレベルで暗出力転送用MOSトランジスタ T_{D1} 、 T_{D2} 、 T_{D3} は導通状態（オン）となっており、各JFET2の制御領域の初期化直後の電位に対応した出力（暗時出力）電圧が暗出力蓄積用コンデンサ C_{D1} 、 C_{D2} 、 C_{D3} に蓄積される。

【0108】期間 t_{13} においては、駆動パルス ϕ_{TG1} をローレベルにして転送ゲート3を非導通状態（オフ）から導通状態（オン）にするとともに、駆動パルス ϕ_{TS} をハイレベルに、駆動パルス ϕ_{TD} をローレベルにして、光信号出力転送用MOSトランジスタ T_{S1} , T_{S2} , T_{S3} を導通状態（オン）に、暗出力転送用MOSトランジスタ T_{D1} , T_{D2} , T_{D3} を非導通状態（オフ）にする。

【0109】この結果、第1行目のフォトダイオード1で生成・蓄積された電荷がJ F E T 2の制御領域へ転送される。なお、電荷を転送した後のJ F E T 2の制御領域の電位は、電荷量／ゲート容量の分だけ変化（この場合は上昇）する。また、図6において、駆動パルス中TG1がローレベルのときに転送ゲート3が導通状態（オン）になるのは、転送制御素子31aがPチャネル型であるため、他の駆動パルスと極性が反対になるためである。

【0110】期間 t_{14} においては、期間 t_{12} と同様に、駆動パルス ϕ_{TG1} をハイレベルして第1行目の転送ゲート3を非導通状態（オフ）にして、フォトダイオード1において光電変換された電荷が蓄積される状態にするとともに、駆動パルス ϕ_{RV} をローレベルにしてリセット用トランジスタ $T_{RV1} \sim T_{RV3}$ を遮断状態（オフ）にして、第1行目の各 J F E T L 2 がソースフォロワ動作をする。

【0.1.1.1】なお、この期間 t_{14} 中において、駆動パルス ϕ_{TS} はハイレベルであるため、光信号出力転送用 MOS トランジスタ T_{S1} , T_{S2} , T_{S3} が導通状態（オン）となっており、各 JFET 2 の制御領域へ電荷を転送した後の電位に対応した出力（信号出力）電圧が、光信号出力蓄積用コンデンサ C_{S1} , C_{S2} , C_{S3} に蓄積される。

【0112】期間 t_{15} においては、駆動パルス ϕ_{RD1} 、
 ϕ_{RG} 、 ϕ_{TS} のそれぞれをローレベルに、駆動パルス ϕ_{RV}
 をハイレベルにして、光信号出力蓄積用コンデンサ $C_{S1} \sim C_{S3}$ 及び暗出力蓄積用コンデンサ $C_{D1} \sim C_{D3}$ に蓄積さ
 れた出力電圧（映像信号）を出力端子 V_{OS} 、 V_{OD} に出力
 する状態にする。

【0113】そして、水平走査回路40から駆動パルス $\phi_{H1} \sim \phi_{H3}$ 及び駆動パルス発生回路43から駆動パルス ϕ_{RH} を順次出力して、光信号出力蓄積用コンデンサ $C_{S1} \sim C_{S3}$ 及び暗出力蓄積用コンデンサ $C_{D1} \sim C_{D3}$ に蓄積された映像信号をそれぞれ信号出力線38及び暗出力線39の水平読み出しへラインに読み出し、出力端子 V_{OS} 、 V_{OD} から映像信号を出力しつつ、信号出力線38及び暗出力線39の水平読み出しへラインのリセットを行う。

【0114】なお、出力端子 V_{OS} , V_{OD} から得られた映像信号は、図示しない外部演算回路によって演算処理さ

れる。これは、出力端子 V_{OS} から得られる映像信号には電荷成分 (S) と暗成分 (D) が含まれており、出力端子 V_{OD} から得られる映像信号には暗成分 (D) のみが含まれているため、出力端子 V_{OS} , V_{OD} から得られた映像信号を演算処理 (減算処理 ($V_{OS} - V_{OD}$)) することにより、電荷成分 (S) に応じた映像信号のみを抽出するためである。

【0115】以上に示した期間 $t_{11} \sim t_{15}$ に対する第1行目の読み出し動作は、期間 $t_{21} \sim t_{25}$ および期間 $t_{31} \sim t_{35}$ において、それぞれ第2行目、第3行目に対して繰り返して、同様に行われる。なお、この第1の実施形態における光電変換装置では、リセット素子31bが、各画素31毎に設けられ、リセットドレイン4が各行毎に互いに並列に配設されているため、リセット動作が極めて高速となり、期間 $t_{11} \sim t_{15}$ 、 $t_{21} \sim t_{25}$ 、 $t_{31} \sim t_{35}$ の全体的な時間は、従来の光電変換装置に比べて短くすることができる。

【0116】【実施形態6】図7は、本発明の実施形態6による光電変換素子を示す概略構成図であり、図7

(a) は光電変換素子を示す概略構成平面図、図 7
 (b) は図 7 (a) の X 1-X 2 線に沿った断面図、図 7 (c) は図 7 (a) の Y 1-Y 2 線に沿った断面図である。図 7 に示す光電変換素子と図 1-図 4 において示した光電変換素子との最も異なる点は、J F E T 2 (増幅部) に容量結合によって J F E T 2 の制御領域を制御するためのゲート電極 50 が形成されている点であり、他の構成については図 1 において示した光電変換素子と同一である。なお、図 7 に示すように、ゲート配線 51 が形成されている。

【0117】通常、J F E T 2には、制御領域を容量結合によって制御するためのゲート電極50が形成されている。しかしながら、図1～図4において示した光電変換素子では、ゲート電極50が形成されていない。このことによる相違点は、以下に示すゲート電極50を形成した場合の光電変換素子（図7）を二次元マトリクス状に配列した光電変換装置の説明とともに説明する。

【0118】なお、図7に示す光電変換素子は、ゲート電極50が形成されている点を除けば図1において示した光電変換素子と同一である。従って、図7に示す光電

40 変換素子のフォトダイオード1やJ F E T 2の構造を図2において示した光電変換素子のフォトダイオード1やJ F E T 2の構造と同一にすると、ゲート電極50が形成されている点を除き、図2において示した光電変換素子と同一になり、又図7に示す光電変換素子のフォトダイオード1、J F E T 2、リセットドレイン4の各相互領域間に、予め定められた導電型の素子分離領域21を形成すると、ゲート電極50が形成されている点を除き、図3において示した光電変換素子と同一になる。このため、同一部分についての説明は省略する。

50 【0119】[実施形態7] 図8は、図7において示し

た光電変換素子を二次元マトリクス状に配置した本発明の実施形態7による光電変換装置の概略構成を示す模式回路図である。図5(実施形態5)と図8とを比較すると、図8に示す光電変換装置では、画素(光電変換素子)31を構成するJFET2のゲート電極50が、各行毎に共通に垂直走査回路34に接続されている。そして、このゲート電極50がパルス駆動される。

【0120】つまり、図5において説明した光電変換装置では、JFET2にゲート電極50が形成されていなかつたため、リセットドレイン4が上記ゲート電極50の代わりにパルス駆動されていた。しかし、図5において説明した光電変換装置では、JFET2にゲート電極50が形成されていなかったため、ゲート電極50への配線が不要となる。従って、ゲート電極50を形成しない分だけ、JFET2の制御領域の容量を小さくすることができ、感度を高くすることができるという利点を有している。一方、図8に示す光電変換装置では、JFET2にゲート電極50が形成されているため、リセットドレイン4をパルス駆動する必要がないという利点を有している。

【0121】図8に示す光電変換装置において、各画素31は、入射光に応じた電荷を生成して蓄積するフォトダイオード1、制御領域を容量結合によって制御するためのゲート電極50、制御領域に受け取った電荷に応じた信号出力を生じるJFET2、及びフォトダイオード1で生成・蓄積された電荷をJFET2の制御領域へ転送するための転送ゲート3を備えた転送制御素子(Pチャネル型MOSFET)31aと、JFET2の制御領域へ転送された電荷を排出するためのリセットドレイン4、及びこのリセットドレイン4を制御するためのリセットゲート5を備えたリセット素子(Pチャネル型MOSFET)31bとから構成されている。

【0122】各JFET2のソースは、マトリクス配置の各列毎に垂直ソースライン32a、32b、32cに共通に接続されている。また、各JFET2のドレイン及びフォトダイオード1のカソード側には、図示しない配線又は拡散層によって全画素共通にドレイン電源31cが接続されている。さらに、各フォトダイオード1のアノード側及びJFET2の制御領域は、それぞれ転送制御素子31aのソース又はドレインに接続されている。

【0123】転送制御素子31aの転送ゲート(転送ゲート電極)3は、マトリクス配置の各行毎に垂直走査回路34によって走査されるクロックライン33a、33b、33cに共通接続され、上記垂直走査回路34から送出される駆動パルス $\phi_{T_{G1}} \sim \phi_{T_{G3}}$ が印加されると、転送制御素子31aが各行毎に順次動作するようになっている。

【0124】JFET2に備えられたゲート電極50は、マトリクス配置の各行毎に垂直走査回路34によつ

て走査されるクロックライン35a、35b、35cに共通接続され、上記垂直走査回路34から送出される駆動パルス $\phi_{G1} \sim \phi_{G3}$ が印加されると、JFET2が各行毎に順次動作するようになっている。

【0125】リセット素子31bは、各画素31毎に設けられており、リセットドレイン4は各行毎に互いに並列に配設され、行ライン36を介して電源電圧 V_{RD} に全画素共通接続されており、また、リセットゲート(リセットゲート電極)5も行ライン37aを介して駆動パルス発生回路37に全画素共通接続されている。また、リセット素子31bのソースは、転送制御素子31aのドレインと共有になっている。そして、リセットゲート5に上記駆動パルス発生回路37から送出される駆動パルス ϕ_{RG} が印加されると、このリセット素子31bが動作して、JFET2の制御領域が初期化されるようになっている。

【0126】上記垂直ソースライン32a、32b、32cは、一方において、各列毎に光信号出力転送用MOSトランジスタ T_{S1} 、 T_{S2} 、 T_{S3} 及び暗出力転送用MOSトランジスタ T_{D1} 、 T_{D2} 、 T_{D3} を介して光信号出力蓄積用コンデンサ(第2の記憶素子) C_{S1} 、 C_{S2} 、 C_{S3} 及び暗出力蓄積用コンデンサ(第1の記憶素子) C_{D1} 、 C_{D2} 、 C_{D3} の一方の電極に接続されるとともに、水平読出し選択用MOSトランジスタ T_{HS1} 、 T_{HS2} 、 T_{HS3} 、 T_{HD1} 、 T_{HD2} 、 T_{HD3} を各々経て信号出力線38及び暗出力線39に接続されている。なお、一般的に、これら信号出力線38及び暗出力線39には寄生容量 C_{HS} 、 C_{HD} が存在する。また、これら信号出力線38及び暗出力線39は、バッファアンプ38a、39aが接続されている。

【0127】また、上記信号出力線38及び暗出力線39は、送出される映像信号をリセットするための水平読出しリセット用MOSトランジスタ T_{RHS} 、 T_{RHD} のドレインが接続されており、またこの水平読出しリセット用MOSトランジスタ T_{RHS} 、 T_{RHD} のソースは、上記光信号出力蓄積用コンデンサ C_{S1} 、 C_{S2} 、 C_{S3} 及び暗出力蓄積用コンデンサ C_{D1} 、 C_{D2} 、 C_{D3} の他方の電極と接続しつつ、接地(GND)されている。そして、この水平読出しリセット用MOSトランジスタ T_{RHS} 、 T_{RHD} のゲート電極に、駆動パルス発生回路43から送出される駆動パルス ϕ_{RH} が印加されると、水平読出しリセット用MOSトランジスタ T_{RHS} 、 T_{RHD} が動作するようになっている。

【0128】上記水平読出し選択用MOSトランジスタ T_{HS1} 、 T_{HS2} 、 T_{HS3} 、 T_{HD1} 、 T_{HD2} 、 T_{HD3} の各々のゲート電極には、水平走査回路40に接続された水平選択信号ライン40a、40b、40cが各列毎に共通接続され、この水平走査回路40から送出される駆動パルス $\phi_{H11} \sim \phi_{H13}$ によって水平読出しが制御されるようになっている。

【0129】上記光信号出力転送用MOSトランジスタ T_{S1} , T_{S2} , T_{S3} の各ゲート電極は、光信号用クロックライン41aを介して、また上記暗出力転送用MOSトランジスタ T_{D1} , T_{D2} , T_{D3} の各ゲート電極は暗出力用クロックライン42aを介して、それぞれ駆動パルス発生回路41及び42に接続され、駆動パルス発生回路41及び42から送出されるそれぞれの駆動パルス ϕ_{TS} あるいは ϕ_{TD} が印加されると、これら光信号出力転送用MOSトランジスタ T_{S1} , T_{S2} , T_{S3} 及び暗出力転送用MOSトランジスタ T_{D1} , T_{D2} , T_{D3} が各々予め定められた順序で交互に動作するようになっている。

【0130】上記垂直ソースライン32a, 32b, 32cは、他方において、各列毎にリセット用トランジスタ T_{RV1} , T_{RV2} , T_{RV3} のドレインと、ソースフォロワ読み出し用定電流源44a, 44b, 44cに接続されており、各リセット用トランジスタ T_{RV1} , T_{RV2} , T_{RV3} のソースには電源電圧 V_{RV} が供給され、ソースフォロワ読み出し用定電流源44a, 44b, 44cには電源電圧 V_{CS} が供給されている。

【0131】なお、リセット用トランジスタ T_{RV1} , T_{RV2} , T_{RV3} のゲート電極には、リセットパルス ϕ_{RV} が供給され、このリセットパルス ϕ_{RV} がハイレベルになると、リセット用トランジスタ T_{RV1} , T_{RV2} , T_{RV3} が導通して垂直ソースライン32a, 32b, 32cを接地状態($V_{RV}=GND$ の時)にすることができるようになっている。また、ソースフォロワ読み出し用定電流源44a, 44b, 44cは、ソースフォロワ動作の時定数を制御すると同時に、各画素31ごとのバイアス点の変動等による時定数ばらつきを抑えて、ゲインを揃え、FPNを抑えるようになっている。

【0132】次に、図9に示すパルスタイミングチャートを参照しながら、図8に示した本発明の実施形態7による光電変換装置の動作について説明する。なお、図9において、 $t_{11} \sim t_{15}$ までの期間は、第1行目の画素31の読み出し動作を示しており、以下 $t_{21} \sim t_{25}$ および $t_{31} \sim t_{35}$ の期間は、それぞれ第2行目、第3行目に対応している。また $t_{11} \sim t_{14}$ はそれぞれ、 t_{11} がJFET2の初期化動作、 t_{12} は初期化後の第1行目のJFET2のソースフォロワ動作、 t_{13} は第1行目のフォトダイオード1からJFET2への信号電荷の転送動作、 t_{14} は転送後のJFET2のソースフォロワ動作に対応した期間で、この4つの動作は水平プランギング期間内に行われる。 t_{15} は映像信号出力期間である。

【0133】先ず、図9に示すように、期間 t_{11} において、駆動パルス ϕ_{RG} 及び ϕ_{TD} をハイレベルにして、各画素31のリセットゲート5を導通状態(オン)から非導通状態(オフ)にするとともに、暗出力転送用MOSトランジスタ T_{D1} , T_{D2} , T_{D3} を導通状態(オン)にする。

【0134】この結果、全てのJFET2の制御領域

は、リセットドレイン4と行ライン36を介して接続された電源電圧 V_{RD} の電位にされ、初期化(電荷が排出)されて、フローティング状態になる。なお、図9において、リセットゲート5への駆動パルス ϕ_{RG} がハイレベルで非導通状態(オフ)となっているのは、リセット素子31bがPチャネル型であるため、他の駆動パルスと極性が反対になるためである。

【0135】次いで、期間 t_{12} の最初で、駆動パルス ϕ_{G1} をハイレベルにして、第1行目のJFET2のゲート電極の電位を上昇させ、第1行目のJFET2が選択(オン)され、第2行目以後のJFET2は非選択(オフ)とされる。即ち、リセットゲート5が非導通状態(オフ)となっているときに、JFET2のゲート電極へ駆動パルス(ϕ_{G1} , ϕ_{G2} , ϕ_{G3})が送出された行によって、JFET2の選択(オン)・非選択(オフ)がなされる。

【0136】同時に(期間 t_{12} の最初)、駆動パルス ϕ_{RV} をローレベルにして、リセット用トランジスタ $T_{RV1} \sim T_{RV3}$ を遮断状態(オフ)にして、この期間 t_{12} 中ににおいて、第1行目の各JFET2がソースフォロワ動作を行う。なお、この t_{12} の期間中において、駆動パルス ϕ_{TD} はハイレベルで暗出力転送用MOSトランジスタ T_{D1} , T_{D2} , T_{D3} が導通状態(オン)となっており、JFET2の制御領域の初期化直後の電位に対応した出力(暗時出力)電圧が暗出力蓄積用コンデンサ C_{D1} , C_{D2} , C_{D3} に蓄積される。

【0137】期間 t_{13} においては、駆動パルス ϕ_{TG1} をローレベルにして転送ゲート3を非導通状態(オフ)から導通状態(オン)にするとともに、駆動パルス ϕ_{TS} をハイレベルに、駆動パルス ϕ_{TD} をローレベルにして、光信号出力転送用MOSトランジスタ T_{S1} , T_{S2} , T_{S3} を導通状態(オン)とし、暗出力転送用MOSトランジスタ T_{D1} , T_{D2} , T_{D3} を非導通状態(オフ)にする。

【0138】この結果、第1行目のフォトダイオード1で生成・蓄積された電荷がJFET2の制御領域へ転送される。なお、電荷を転送した後のJFET2の制御領域の電位は、電荷量/ゲート容量の分だけ変化(この場合は上昇)する。また、図9において、転送ゲート3への駆動パルス ϕ_{TG1} がローレベルで導通状態(オン)となっているのは、転送制御素子31aがPチャネル型であるため、他の駆動パルスと極性が反対になるためである。

【0139】期間 t_{14} においては、期間 t_{12} と同様に、駆動パルス ϕ_{TG1} をハイレベルにして第1行目の転送ゲート3を非導通状態(オフ)にしてフォトダイオード1において光電変換された電荷を蓄積する状態にするとともに、駆動パルス ϕ_{RV} をローレベルにしてリセット用トランジスタ $T_{RV1} \sim T_{RV3}$ を遮断状態(オフ)にして、第1行目のJFET2がソースフォロワ動作をする。

【0140】なお、この t_{14} の期間中において、駆動パ

ルス ϕ_{TS} はハイレベルで光信号出力転送用MOSトランジスタ T_{S1} , T_{S2} , T_{S3} をが導通状態（オン）となっており、J F E T 2 の制御領域へ電荷を転送した後の電位に対応した出力（信号出力）電圧が、光信号出力蓄積用コンデンサ C_{S1} , C_{S2} , C_{S3} に蓄積される。

【0141】期間 t_{15} においては、駆動パルス ϕ_{G1} , ϕ_{RG} , ϕ_{TS} のそれぞれをローレベルに、駆動パルス ϕ_{RV} をハイレベルにして、光信号出力蓄積用コンデンサ $C_{S1} \sim C_{S3}$ 及び暗出力蓄積用コンデンサ $C_{D1} \sim C_{D3}$ に蓄積された出力電圧（映像信号）を出力端子 V_{OS} , V_{OD} に出力する状態にする。

【0142】そして、水平走査回路 40 から駆動パルス $\phi_{H1} \sim \phi_{H3}$ 及び駆動パルス発生回路 43 から駆動パルス ϕ_{RH} を順次出力して、光信号出力蓄積用コンデンサ $C_{S1} \sim C_{S3}$ 及び暗出力蓄積用コンデンサ $C_{D1} \sim C_{D3}$ に蓄積された映像信号をそれぞれ信号出力線 8 及び暗出力線 9 の水平読み出しラインに転送し、出力端子 V_{OS} , V_{OD} から映像信号を出力しつつ、信号出力線 38 及び暗出力線 39 の水平読み出しラインのリセットを行う。

【0143】なお、出力端子 V_{OS} , V_{OD} から得られた映像信号は、図示しない外部演算回路によって演算処理される。これは、出力端子 V_{OS} から得られる映像信号には電荷成分（S）と暗成分（D）が含まれており、又出力端子 V_{OD} から得られる映像信号には暗成分（D）のみが含まれているため、出力端子 V_{OS} , V_{OD} から得られた映像信号を演算処理（減算処理 ($V_{OS} - V_{OD}$)）することにより、電荷成分（S）に応じた映像信号のみを抽出するためである。

【0144】以上に示した期間 $t_{11} \sim t_{15}$ に対する第1行目の読み出し動作は、期間 $t_{21} \sim t_{25}$ および期間 $t_{31} \sim t_{35}$ において、それぞれ第2行目、第3行目に対して繰り返して同様に行われる。なお、図8に示す光電変換装置では、リセット素子 31b が、各画素 31 每に設けられ、リセットドレイン 4 が各行毎に互いに並列に配設されているため、リセット動作が極めて高速となり、期間 $t_{11} \sim t_{15}$, $t_{21} \sim t_{25}$ および $t_{31} \sim t_{35}$ の全体的な時間は、従来の光電変換装置に比べて短くすることができる。

【0145】【実施形態8】図10は、本発明の実施形態8による光電変換素子を示す概略構成図であり、図10(a) は光電変換素子を示す概略構成平面図、図10(b) は図10(a) のX1-X2線に沿った断面図、図10(c) は図10(a) のY1-Y2線に沿った断面図である。この実施形態7による光電変換素子は、増幅部にデプレッション型のMOSトランジスタ 52 を用いている点が上記各実施形態と異なっている。

【0146】MOS型トランジスタは、J F E T 2 と同様に、増幅動作時に電荷（信号電荷）を破壊しない、所謂非破壊増幅動作を行うため、F P N が発生しにくいという特性を有しており、さらに、信号電荷のリセット

時、制御領域（ゲート電極下のシリコン（N型シリコン層）表面）に電荷が残らないため、残像およびリセットノイズも発生しにくいという特性を有している。従つて、例えば画面内で同時性の成り立つ電子シャッタ動作が可能な固体撮像素子を構成するには好適である。

【0147】【実施形態9】図11は、図10に示した光電変換素子を二次元マトリクス状に配置した本発明の実施形態9による光電変換装置の概略構成を示す模式回路図である。また、図12は、図11に示す模式回路図の動作を説明するためのパルスタイミングチャートである。

【0148】図11に示す光電変換装置と図5（実施形態5）、図8（実施形態7）において説明した光電変換装置との相違点は、画素 31 の増幅部をMOSトランジスタ（MOS）とし、転送制御素子 31a の転送ゲート 3 を行ライン 51a を介して駆動パルス発生回路 51 によって全画素共通接続するとともに、リセット素子 31b のリセットゲート 5 を各行毎にクロックライン 52a, 52b, 52c を介して垂直走査回路 34 から送出される駆動パルス（ $\phi_{RG1} \sim \phi_{RG3}$ ）によって動作するようにした点である。なお、図11に示す光電変換装置にすることによって、一画面内で同時性のある電子シャッタ動作を実現することができる光電変換装置とすることができる。

【0149】以下、図12に示すパルスタイミングチャートを参照しながら、図11に示した光電変換装置の動作について説明する。先ず、図12に示すように、期間 t_{10} において、駆動パルス ϕ_{TG} 及び $\phi_{RG1} \sim \phi_{RG3}$ をローレベルにして、各画素 31 の転送ゲート 3 及びリセットゲート 5 を非導通状態（オフ）から導通状態（オン）にする。

【0150】この結果、全てのフォトダイオード 1 とリセットドレイン 4、及び全てのMOSトランジスタ（MOS）の制御領域とリセットドレイン 4 が導通状態（オン）となり、フォトダイオード 1 は空乏化して初期化され、またMOSトランジスタ（MOS）の制御領域は、リセットドレイン 4 の電位に初期化される。

【0151】そして、期間 t_{11} において、駆動パルス ϕ_{TG} 及び $\phi_{RG1} \sim \phi_{RG3}$ をハイレベルにして、各画素 31 の転送ゲート 3 及びリセットゲート 5 を非導通状態（オフ）にし、フォトダイオード 1 を電荷蓄積状態にする。そして、期間 t_{11} がシャッタータイムとなる。

【0152】次いで、期間 t_{12} において、駆動パルス $\phi_{RG1} \sim \phi_{RG3}$ を再びローレベルにして、各画素 31 のリセットゲート 5 を非導通状態（オフ）から導通状態（オン）にする。この結果、MOSトランジスタ（MOS）は、電源電圧 V_{RD} と行ライン 36 を介して接続されたりセットドレイン 4 の電位となり、期間 t_{11} 中にこのMOSトランジスタ（MOS）で発生した暗電流が除去され、MOSトランジスタ（MOS）が再度初期化され

50

る。なお、このMOSトランジスタ(MOS)の初期化動作は、静止画モードの撮像において、フォトダイオード1を長時間蓄積する場合には必要な動作である。

【0153】期間 t_{13} において、駆動パルス ϕ_{TS} をハイレベルにして、光信号出力転送用MOSトランジスタ T_{S1}, T_{S2}, T_{S3} を導通状態(オン)にしておき、駆動パルス $\phi_{RG1} \sim \phi_{RG3}$ をハイレベルにして各画素31のリセットゲート5を非導通状態(オフ)にすると共に、駆動パルス ϕ_{TG} をローレベルにして各画素31の転送ゲート3を導通状態(オン)にする。この結果、期間 t_{11} において生成・蓄積された電荷がフォトダイオード1からMOSトランジスタの制御領域へ転送される。

【0154】そして、期間 $t_{14} \sim t_{17}$ においては、図5、図8において示した光電変換装置とほぼ同様に、第1行目の画素31の読み出し動作を行う。即ち、図11に示す光電変換装置の期間 $t_{14} \sim t_{17}$ までの動作は、図5、図8において示した光電変換装置の期間 $t_{12} \sim t_{15}$ までの動作に相当する。

【0155】つまり、図10に示す光電変換装置の期間 t_{14} において、駆動パルス ϕ_{G1} をハイレベルにして容量結合によって動作するゲート電極の電位を上昇させるとともに、駆動パルス ϕ_{RV} をローレベルにしてリセット用トランジスタ $T_{RV1} \sim T_{RV3}$ を遮断状態(オフ)にし、第1行目のMOSトランジスタ(MOS)がソースフォロワ動作(容量負荷による電荷増幅動作)を行う。なお、各行単位のMOSトランジスタ(MOS)の選択(オン)・非選択(オフ)は、このゲート電極への駆動パルス($\phi_{G1} \sim \phi_{G3}$)によって決定される。

【0156】また、この期間 t_{14} において、駆動パルス ϕ_{TS} は既にハイレベルで光信号出力転送用MOSトランジスタ T_{S1}, T_{S2}, T_{S3} が導通状態(オン)となっており、MOSトランジスタの制御領域へ電荷を転送した後の電位に対応した出力(信号出力)電圧が、光信号出力蓄積用コンデンサ C_{S1}, C_{S2}, C_{S3} に蓄積される。

【0157】次いで、期間 t_{15} において、駆動パルス ϕ_{TD} をハイレベルにして、暗出力転送用MOSトランジスタ T_{D1}, T_{D2}, T_{D3} を導通状態(オン)にしておき、駆動パルス ϕ_{RG} をローレベルにして、第1行目のリセットゲート5を導通状態(オン)にして、第1行目のMOSトランジスタ(MOS)の制御領域をリセット(電荷を排出)する。さらに、期間 t_{16} において、再度駆動パルス ϕ_{RV} をローレベルにしてリセット用トランジスタ $T_{RV1} \sim T_{RV3}$ を遮断状態(オフ)にし、第1行目のMOSトランジスタ(MOS)がリセット後のソースフォロワ動作を行う。

【0158】なお、この期間 t_{16} において、駆動パルス ϕ_{TD} は既にハイレベルで暗出力転送用MOSトランジスタ T_{D1}, T_{D2}, T_{D3} が導通状態(オン)となっており、MOSトランジスタ(MOS)の制御領域のリセット後の電位に対応した出力(暗時出力)電圧が暗出力蓄

積用コンデンサ C_{D1}, C_{D2}, C_{D3} に蓄積される。

【0159】そして、期間 t_{17} において、駆動パルス ϕ_{G1}, ϕ_{TD} のそれぞれをローレベルに、駆動パルス ϕ_{RV} をハイレベルにして、光信号出力蓄積用コンデンサ $C_{S1} \sim C_{S3}$ 及び暗出力蓄積用コンデンサ $C_{D1} \sim C_{D3}$ に蓄積された出力電圧(映像信号)を出力端子 V_{OS}, V_{OD} に输出する状態にして、水平走査回路40から駆動パルス $\phi_{H11} \sim \phi_{H13}$ 及び駆動パルス発生回路43から駆動パルス ϕ_{RH} を順次出力して、光信号出力蓄積用コンデンサ $C_{S1} \sim C_{S3}$ 及び暗出力蓄積用コンデンサ $C_{D1} \sim C_{D3}$ に蓄積された映像信号をそれぞれ信号出力線38及び暗出力線39の水平読み出しラインに転送し、出力端子 V_{OS}, V_{OD} から映像信号を出力しつつ、信号出力線38及び暗出力線39の水平読み出しラインのリセットを行う。これで第1行目の読み出し動作が終了し、 $t_{24} \sim t_{27}$ および $t_{34} \sim t_{37}$ において、第2行目、第3行目の読み出し動作が行われる。

【0160】なお、図11に示した光電変換装置では、主として静止画を撮像する場合について説明したが、動画を撮像する場合についても適用することができる。即ち、動画を撮像する場合でも電子シャッター動作を行うことができる。但し、動画を撮像する場合は、図12に示した期間 $t_{10} \sim t_{13}$ の動作(動画の場合期間 t_{12} は不要である。)は、垂直ブランкиング期間内に行う必要があるため、シャッタースピードの可変範囲には一定の制限が生ずる。

【0161】また、図11に示した光電変換装置(画面内で同時性のある電子シャッター動作)では、容量結合で動作可能な構造であれば、MOS型に限らず、JFE T型、バイポーラ型光電変換素子でも適用することができる。但し、2回のソースフォロワ動作の間に、リセット動作が入るため、リセットノイズを発生しないMOS型が最も好ましい。

【0162】【実施形態10】図13は、本発明の実施形態10による光電変換素子を示す概略構成図であり、図13(a)は光電変換素子を示す概略構成平面図、図13(b)は図13(a)のX1-X2線に沿った断面図、図13(c)は図13(a)のY1-Y2線に沿った断面図である。図13に示す光電変換素子においては、増幅部にバイポーラトランジスタ53を用いている点が上記各実施形態と異なっている。なお、エミッタ54、コレクタ55及びベース56が図に示すように構成されるとともに、エミッタ配線57が形成されている。

【0163】図13に示すバイポーラトランジスタ53では、通常用いられるN⁺型埋め込みコレクタ、又は高濃度N型基板を用いたコレクタを形成せずに、コレクタ領域をシリコン(Nウェル領域14)表層部に設けている。従って、バイポーラトランジスタ53と縦型オーバーフロー構造のフォトダイオード1の組合せが可能となり、ブルーミング、スマ等による出力信号のばらつき

を抑えることができる。また、この実施形態10では、ベース領域を容量結合で駆動するための電極を形成していないため、制御領域の容量が小さくなり、高い感度を確保することができる。

【0164】[実施形態11]図14は、本発明の実施形態11による光電変換素子を示す概略構成図であり、図14(a)は光電変換素子を示す概略構成平面図、図14(b)は図14(a)のX1-X2線に沿った断面図、図14(c)は図14(a)のY1-Y2線に沿った断面図である。図14に示す光電変換素子においては、遮光膜(アルミニウム膜20)を兼用するリセット用電荷排出手段(リセットドレイン4)に接続されている金属配線を、コンタクトホール59を介して直接P型リセットドレイン領域15に接続しても良い。このような構成によって、光電変換素子の集積度を向上させることができる。

【0165】なお、上記各実施形態においては、転送制御素子31aと、リセット素子31bをMOS型電界効果トランジスタ(MOSFET)として説明したが、バイポーラトランジスタで構成しても同様の効果を得ることができる。

【0166】

【発明の効果】以上説明したとおり、本発明による光電変換素子では、増幅部の制御領域へ転送された電荷を排出するリセット用電荷排出手段と上記リセット用制御手段とを設けたため、増幅部を動作させることなくリセット動作を行うことができるという効果がある。この結果、増幅部自身に大電流が流れ、これに伴って過渡的に増幅部のバイアス点(動作点)が大きく変動して、増幅率が変わることを抑制することができるという効果もある。

【0167】また、本発明による光電変換素子では、増幅部を電界効果トランジスタ(FET)としたため、増幅動作時に電荷(信号電荷)が破壊されず、固定パターンノイズ(FPN)の発生を抑制することができるという効果もある。さらに、本発明による光電変換素子では、光電変換部、増幅部、転送制御部、リセット用電荷排出手段、リセット用制御手段の各相互領域間に、予め定められた導電型の素子分離領域を形成したため、開口率や集積度を向上することができるという効果もある。

【0168】また、本発明による光電変換素子では、リセット用電荷排出手段に接続される金属配線が、増幅部、転送制御部、リセット用電荷排出手段、リセット用制御手段への入射光を遮断する遮光膜として形成したため、斜め入射光によるブルーミング等のにじみの現象を抑制することができるという効果もある。また、本発明による光電変換素子では、光電変換部に、縦型オーバーフロー構造の埋め込みフォトダイオードを用いたため、ブルーミングやスマア等のにじみの現象を抑制することができるとともに、暗電流や残像、リセットノイズを抑

制した理想的な特性を得ることができるという効果もある。

【0169】また、本発明による光電変換素子では、光電変換素子の増幅部のチャネル形成部を半導体表面から基板内部に向かって順に、浅い第1導電型ゲート領域、浅い第2導電型チャネル領域、第1導電型ゲート領域、第2導電型ウェル領域、第1導電型半導体基板としたため、集積度や開口率を向上することができるとともに、感度を高くすることもできるという効果もある。

【0170】また、本発明による光電変換素子では、光電変換素子の増幅部のチャネル形成部を半導体表面から基板内部に向かって順に、浅い第1導電型ゲート領域、浅い第2導電型チャネル領域、第1導電型ゲート領域、第2導電型ウェル領域、第1導電型半導体基板とし、浅い第1導電型ゲート領域と、第1導電型ゲート領域とを電気的に導通したため、集積度や開口率を向上することができるとともに、感度を高くすることもできるという効果もある。

【0171】さらに、本発明による光電変換装置では、増幅部の制御領域へ転送された電荷を排出するリセット用電荷排出手段と上記リセット用制御手段とを設けた光電変換素子を二次元マトリクス状に配列して構成したため、高感度(高S/N比)で消費電力の少ない光電変換装置を得ることができるという効果がある。また、本発明による光電変換装置では、少なくとも1つの読み出し方向に配列された各光電変換素子のリセット用電荷排出手段を互いに並列に配設した光電変換装置としたため、リセット動作を高速にできるという効果もある。

【0172】また、本発明による光電変換装置では、垂直走査に応じて上記増幅部の制御領域が初期化された直後の1水平ライン分の信号出力を記憶する第1の記憶手段と、垂直走査に応じて上記増幅部の制御領域へ上記電荷を転送した直後の1水平ライン分の信号出力を記憶する第2の記憶手段とを備え、これらの記憶手段に記憶された信号出力の差を求めるようにしたため、電荷成分のみに応じた信号出力を得ることができるという効果もある。

【図面の簡単な説明】

【図1】本発明の実施形態1による光電変換素子を示す概略構成図である。

【図2】本発明の実施形態2による光電変換素子を示す概略構成図である。

【図3】本発明の実施形態3による光電変換素子を示す概略構成図である。

【図4】本発明の実施形態4による光電変換素子を示す要部概略断面図である。

【図5】本発明の実施形態5による光電変換装置の概略構成を示す模式回路図である。

【図6】図5に示す模式回路図の動作を説明するための

パルスタイミングチャートである。

【図7】本発明の実施形態6による光電変換素子を示す概略構成図である。

【図8】本発明の実施形態7による光電変換装置の概略構成を示す模式回路図である。

【図9】図8に示す模式回路図の動作を説明するためのパルスタイミングチャートである。

【図10】本発明の実施形態8による光電変換素子を示す概略構成図である。

【図11】本発明の実施形態9による光電変換装置の概略構成を示す模式回路図である。

【図12】図11に示す模式回路図の動作を説明するためのパルスタイミングチャートである。

【図13】本発明の実施形態10による光電変換素子を示す概略構成図である。

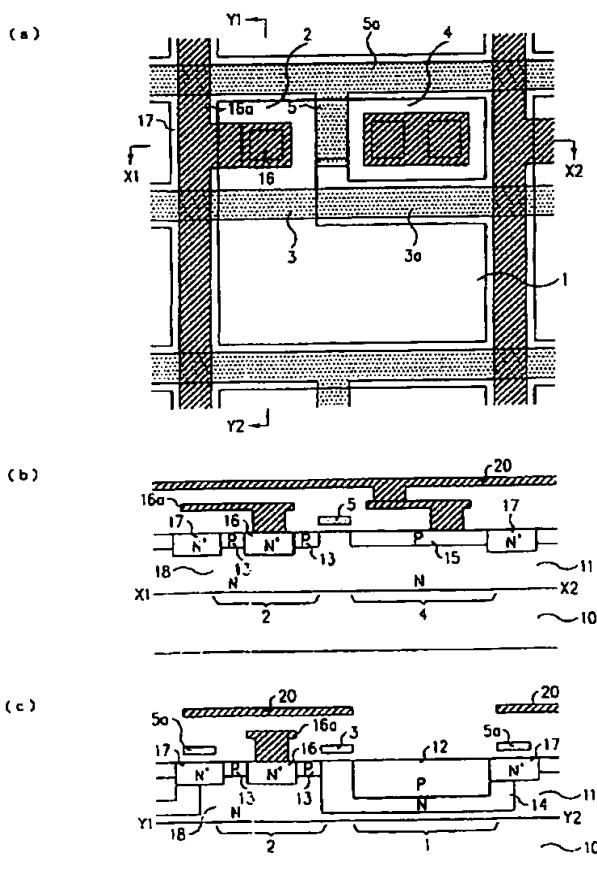
【図14】本発明の実施形態11による光電変換素子を示す概略構成図である。

【符号の説明】

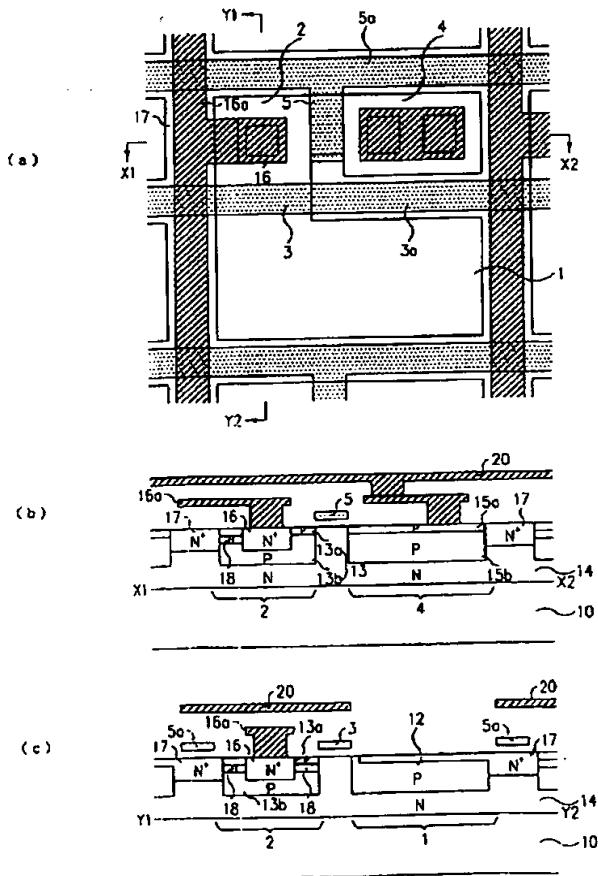
1…フォトダイオード、2…J F E T、3…転送ゲート、4…リセットドレイン、5…リセットゲート、10…P型シリコン基板、11…N型シリコン層、11a…SiO₂膜、12…P型フォトダイオード領域（P型拡散層）、13…P型ゲート領域、13a…浅い第1導電型ゲート領域、13b…第1導電型ゲート領域、14…Nウェル領域、15、15a、15b…P型リセットドレイン領域、16…N⁺型ソース領域、17…N⁺型ドレイン領域、18…N型チャンネル領域、20…アルミニウム膜、21…素子分離領域、31…画素、31a…転送制御素子、31b…リセット素子、31c…ドレイン電源、32a～32c…垂直ソースライン、33a～33c、35a～35c、50a～50c、52a～52c…垂直クロックライン、34…垂直走査回路、36、37a、51a…行ライン（共通接続線）、37、51…駆動パルス発生回路、38…信号出力線、38a、39a…バッファアンプ、39…暗出力線、40…水平走査回路、40a～40c…水平クロックライン、41、42、43…駆動パルス発生回路、41a…光信号用クロックライン、42a…暗出力用クロックライン、44a～44c…ソースフォロワ読み出し用定電流源、50…ゲート電極、51…ゲート配線、52…MOSトランジスタ、53…バイポーラトランジスタ、54…エミッタ、55…コレクタ、56…ベース、57…エミッタ配線、59…コンタクトホール。

散層）、13…P型ゲート領域、13a…浅い第1導電型ゲート領域、13b…第1導電型ゲート領域、14…Nウェル領域、15、15a、15b…P型リセットドレイン領域、16…N⁺型ソース領域、17…N⁺型ドレイン領域、18…N型チャンネル領域、20…アルミニウム膜、21…素子分離領域、31…画素、31a…転送制御素子、31b…リセット素子、31c…ドレイン電源、32a～32c…垂直ソースライン、33a～33c、35a～35c、50a～50c、52a～52c…垂直クロックライン、34…垂直走査回路、36、37a、51a…行ライン（共通接続線）、37、51…駆動パルス発生回路、38…信号出力線、38a、39a…バッファアンプ、39…暗出力線、40…水平走査回路、40a～40c…水平クロックライン、41、42、43…駆動パルス発生回路、41a…光信号用クロックライン、42a…暗出力用クロックライン、44a～44c…ソースフォロワ読み出し用定電流源、50…ゲート電極、51…ゲート配線、52…MOSトランジスタ、53…バイポーラトランジスタ、54…エミッタ、55…コレクタ、56…ベース、57…エミッタ配線、59…コンタクトホール。

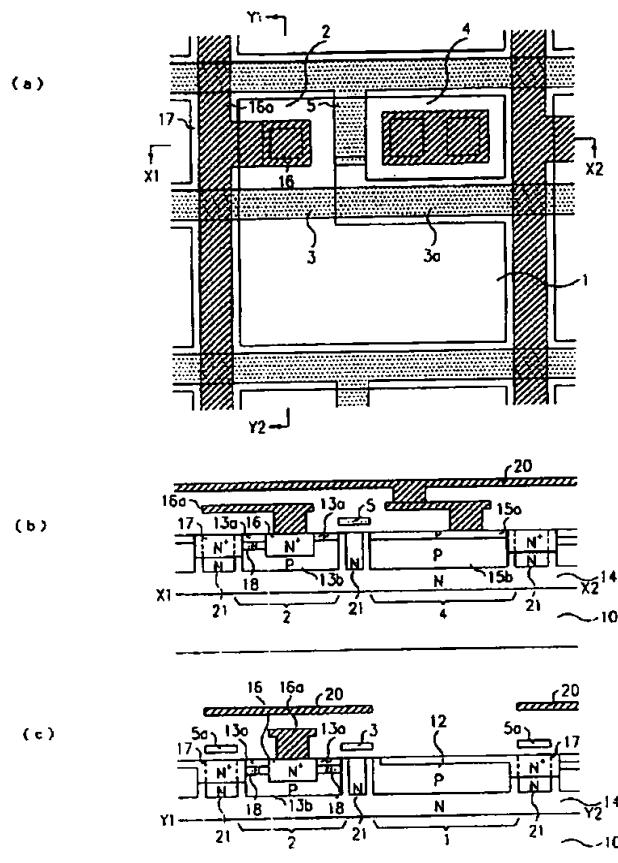
【図1】



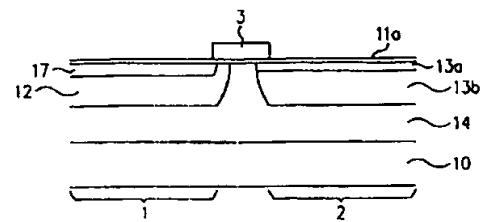
【図2】



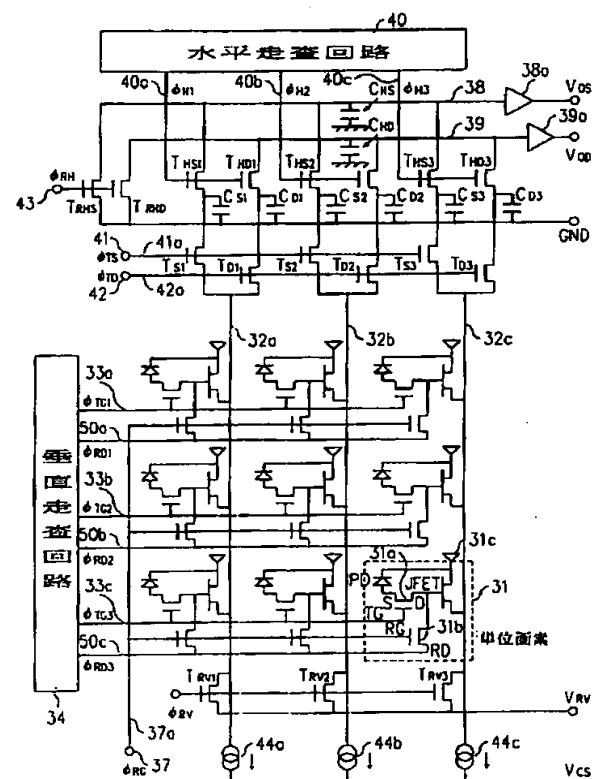
【図3】



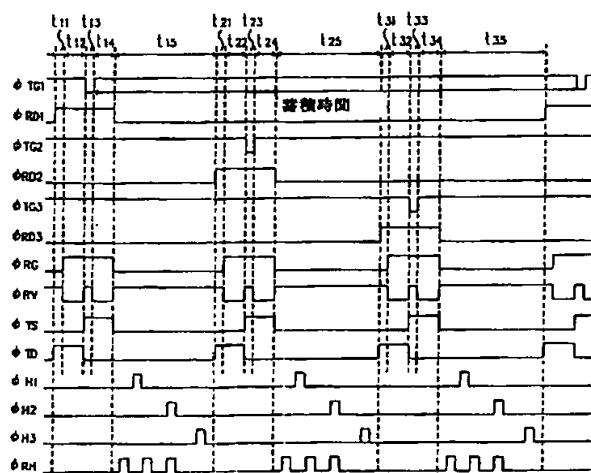
【图4】



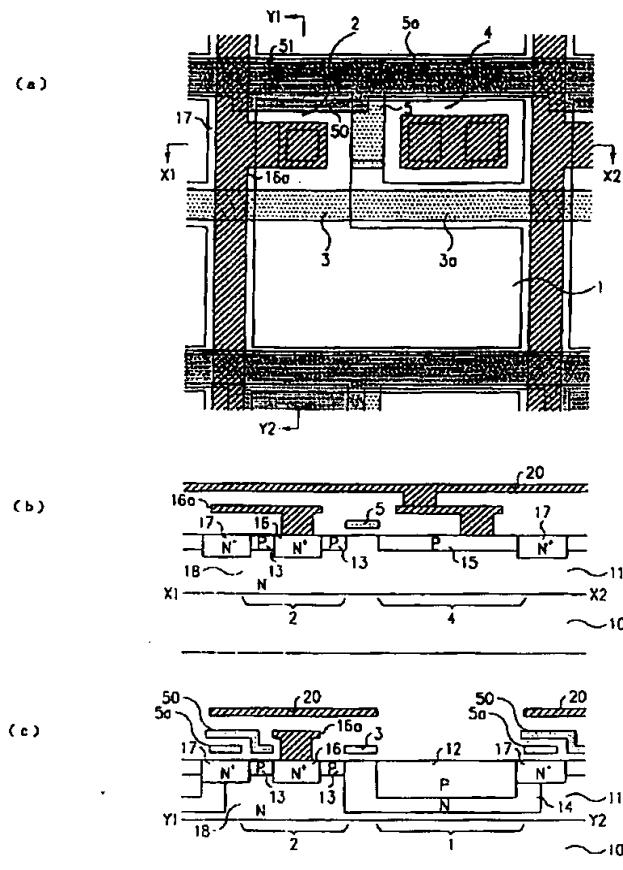
【図5】



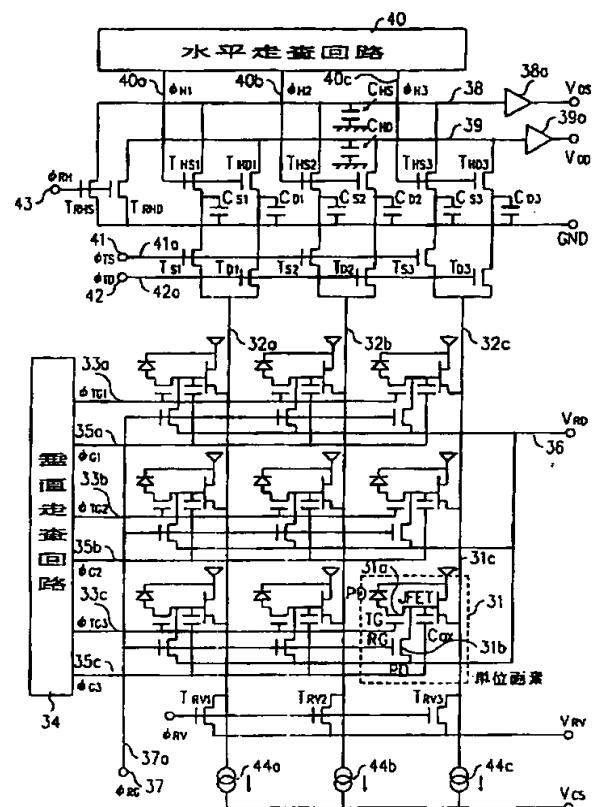
【图6】



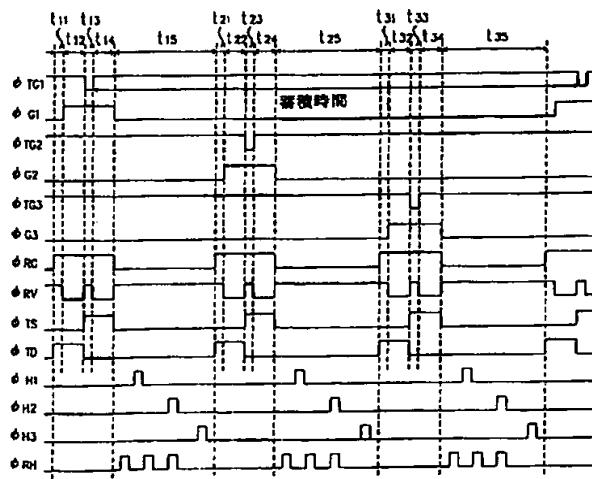
【図7】



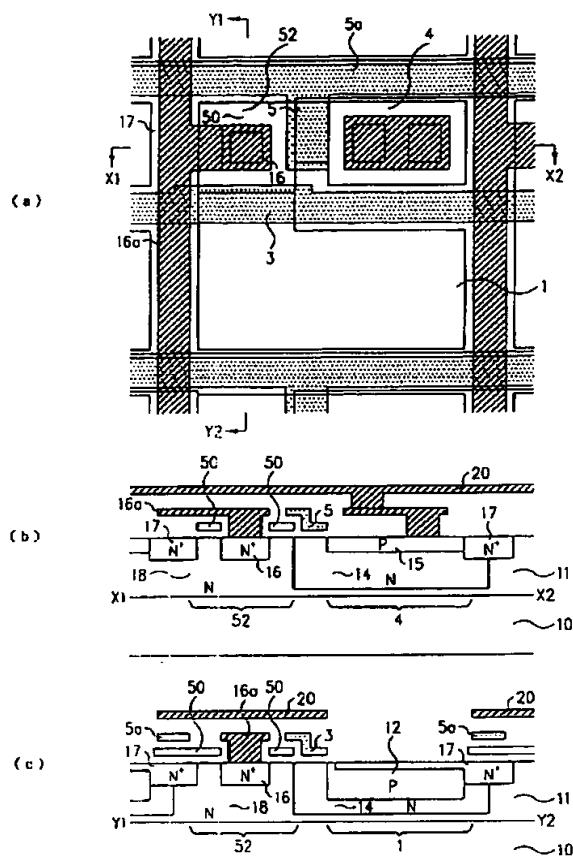
【図8】



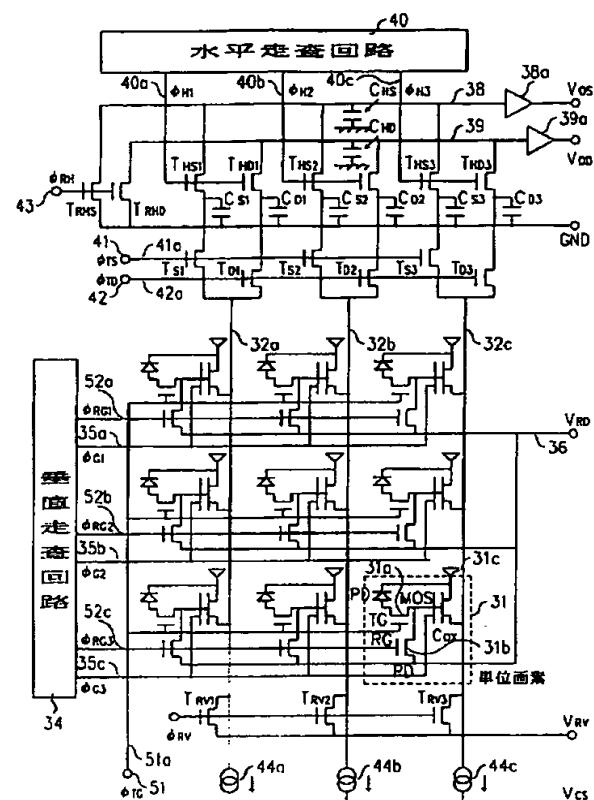
【図9】



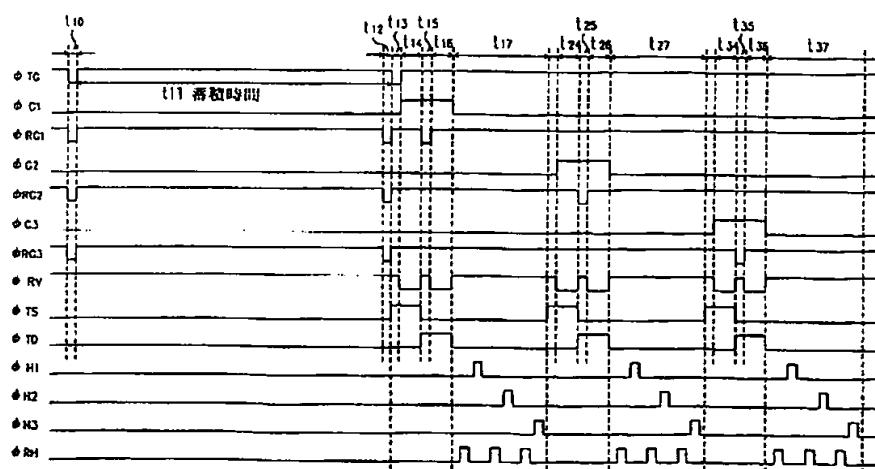
【図10】



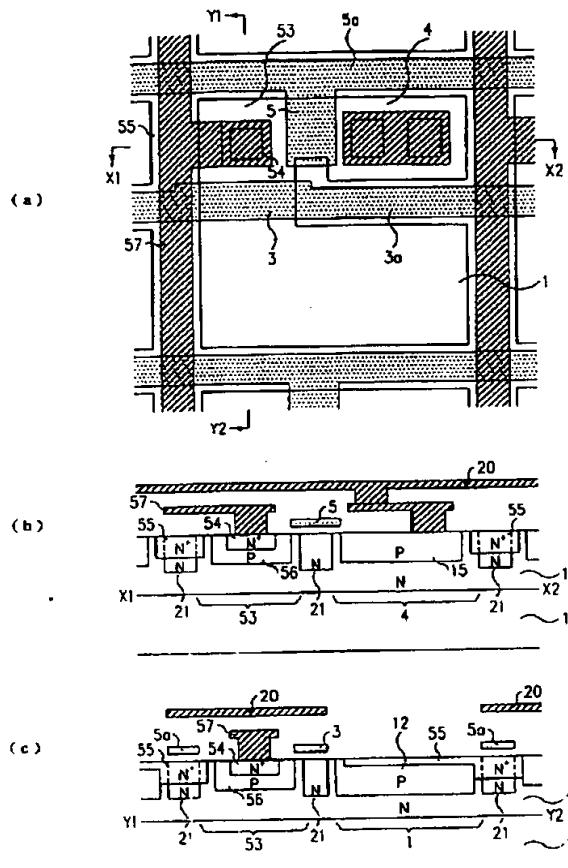
【図11】



【図12】



【図13】



【図14】

